

Multigigabitowe interfejsy szeregowe

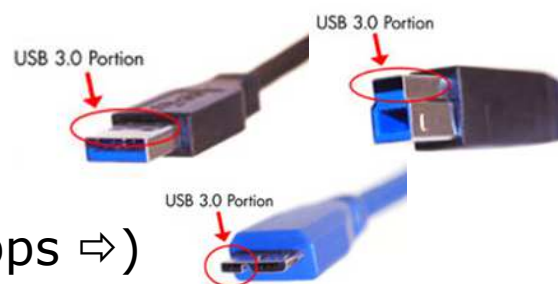
Program wykładu

- **Aplikacje interfejsów MGT**
- **Standardy sygnalizacji**
LVDS, CML, PECL
- **Sprzęganie nadajników i odbiorników**
translacja poziomów, sprzężenie AC/DC
- **Architektury systemów zegarowych**
system/source-synchronous, parallel clock, embedded clock
- **Kanały przesyłowe**
linie transmisyjne PCB, przelotki, złącza, kable
- **Jitter**
Random/Deterministic, DCD, ISI, Periodic (SSC), inne
- **Kompensacja linii transmisyjnych**
Pre-Emfaza/De-Emfaza, Equalizacja
- **Przykłady transceiverów w FPGA**
Spartan-6 SerDes, Virtex-7 GTX
- **Pomiary**
sonda różnicowa, diagramy oka

USB3.0 (1x 3Gbps $\Leftrightarrow$)



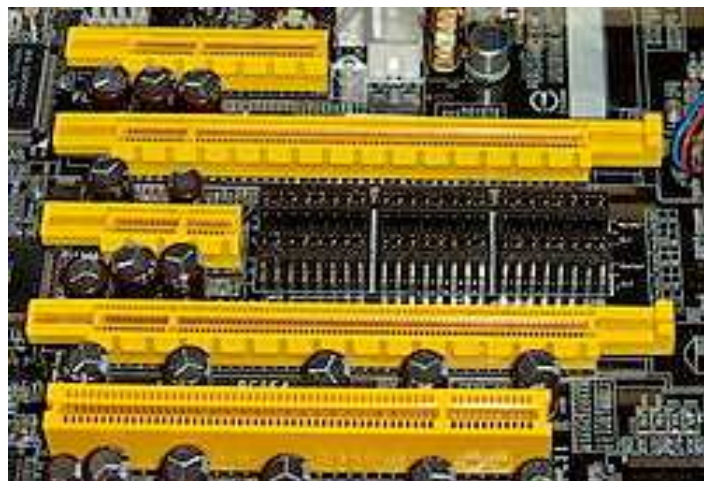
HDMI (3x 3/6Gbps $\Rightarrow$)



Thunderbolt 3
(2x 20Gbps $\Leftrightarrow$)



DVI (3/6x 1.65Gbps $\Rightarrow$)



PCIe (1..16x 2.5/5/8Gbps $\Leftrightarrow$)



SATA (1x 1.5/3/6Gbps $\Leftrightarrow$)



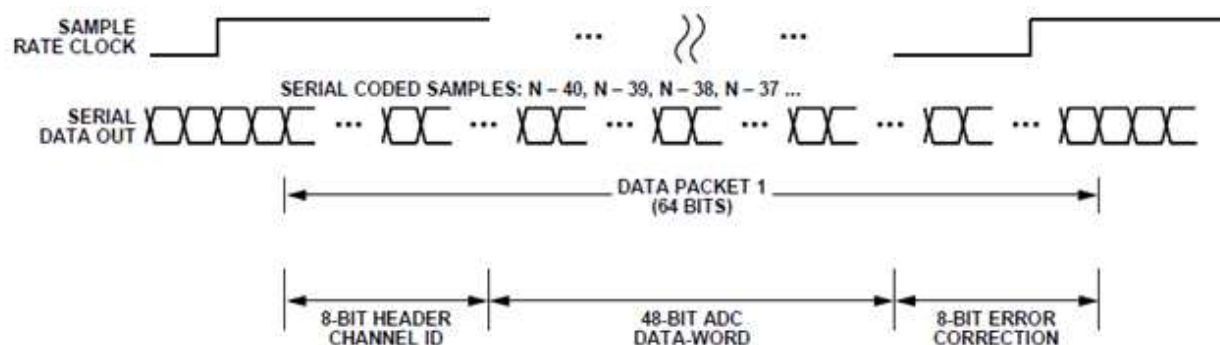
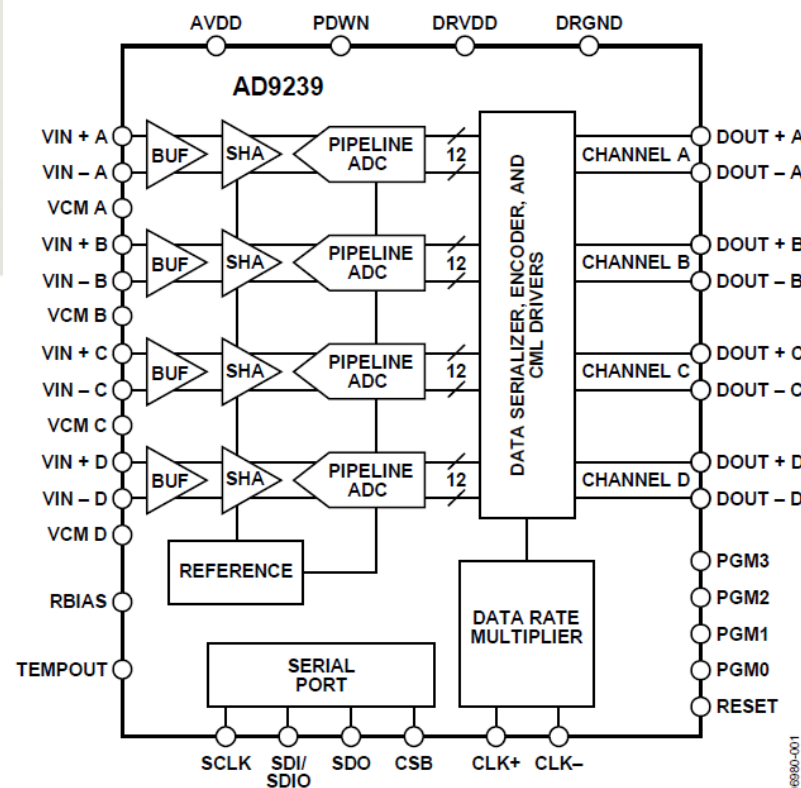
Eth 1G/10G (1x 1.25/10.3Gbps $\Leftrightarrow$)

Aplikacje MGT

Interfejsy wewnętrzne

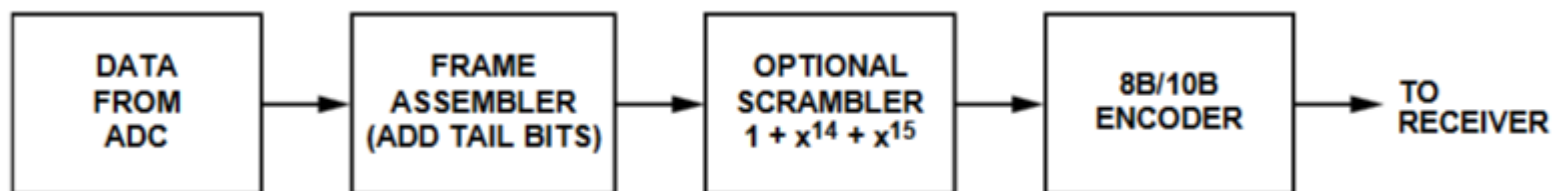
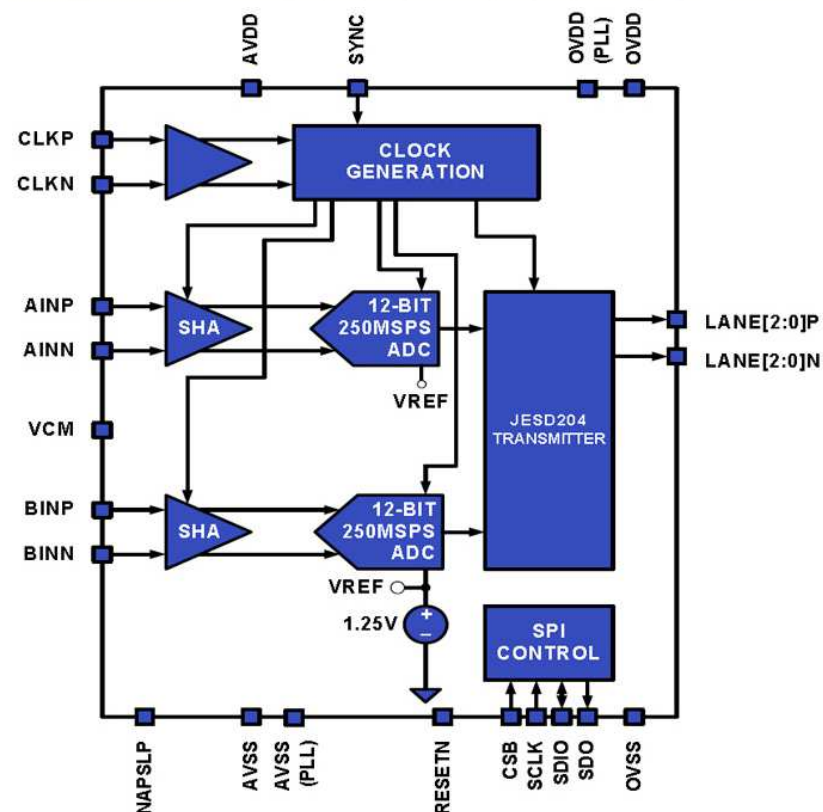
AD9239 (Analog Devices)

- 12 bitów / 250Msps
- 4 kanały
- szeregowo wyjścia 4Gbps
- *self-synchronous*
- ramka: 4 kolejne próbki
- *scrambling (bit balance)*
- ECC (*Hamming code*)



Bits[64:57]	Bits[56:45]	Bits[44:33]	Bits[32:21]	Bits[20:9]	Bits[8:1]
Header (8 bits MSB first)	Data 1 (12 bits MSB first)	Data 2 (12 bits MSB first)	Data 3 (12 bits MSB first)	Data 4 (12 bits MSB first)	ECC (8 bits MSB first)

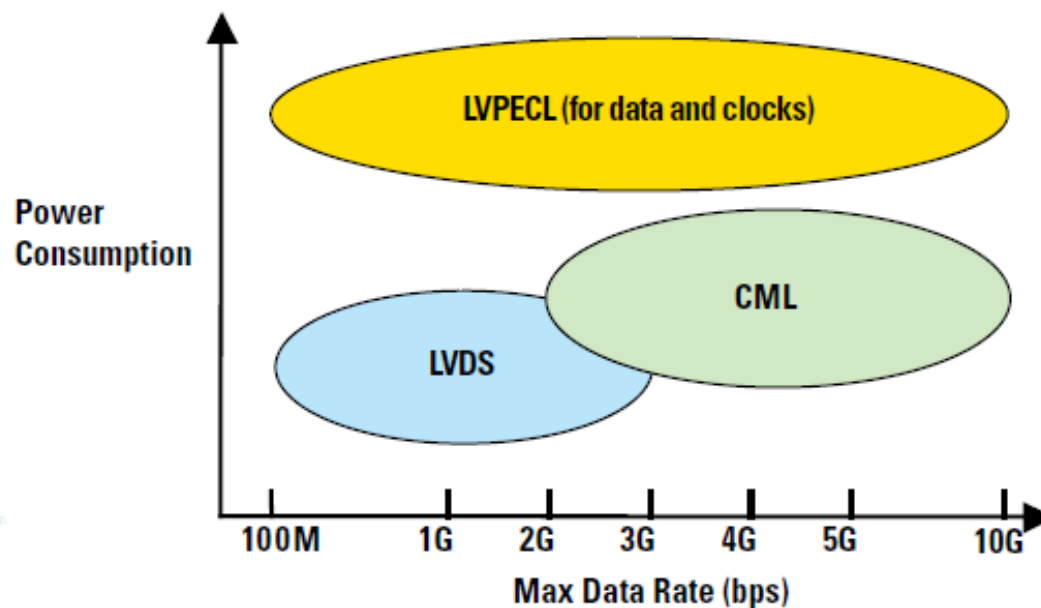
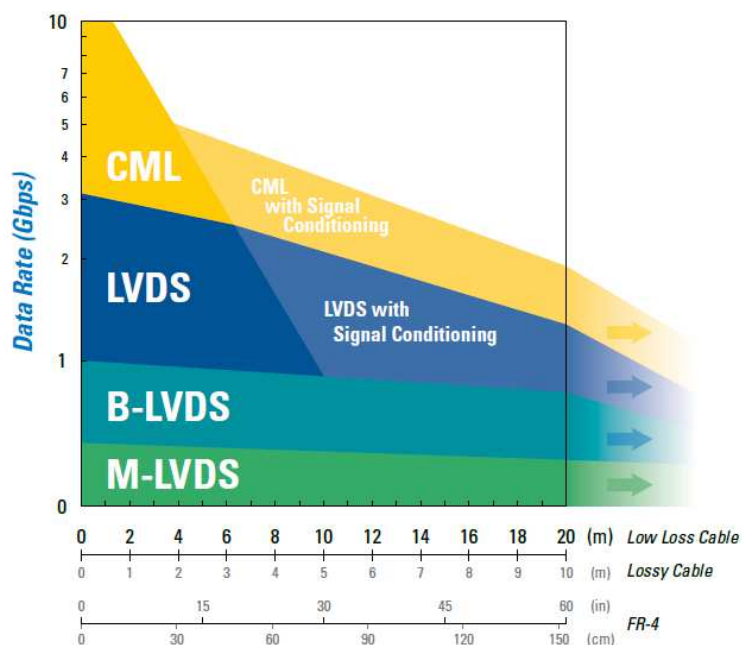
- 12..14 bitów / 250MSPs
- 2 kanały
- 3 szeregowo wyjścia 4+Gbps
- standard JESD204
- *multiframe, frame: tail bits* (zeros, pseudo-random number sequence or control bits indicating overrange, underrange, or valid data conditions)
- *scrambler* (optional, avoids spectral peaks when transmitting similar digital data patterns)
- *8b10b encoder* (bit balance)
- 3 fazy:
 - Code Group Synchronization (CGS) - comma
 - Initial Lane Alignment Sequence (ILAS) - frame alignment
 - Data Transmission Phase



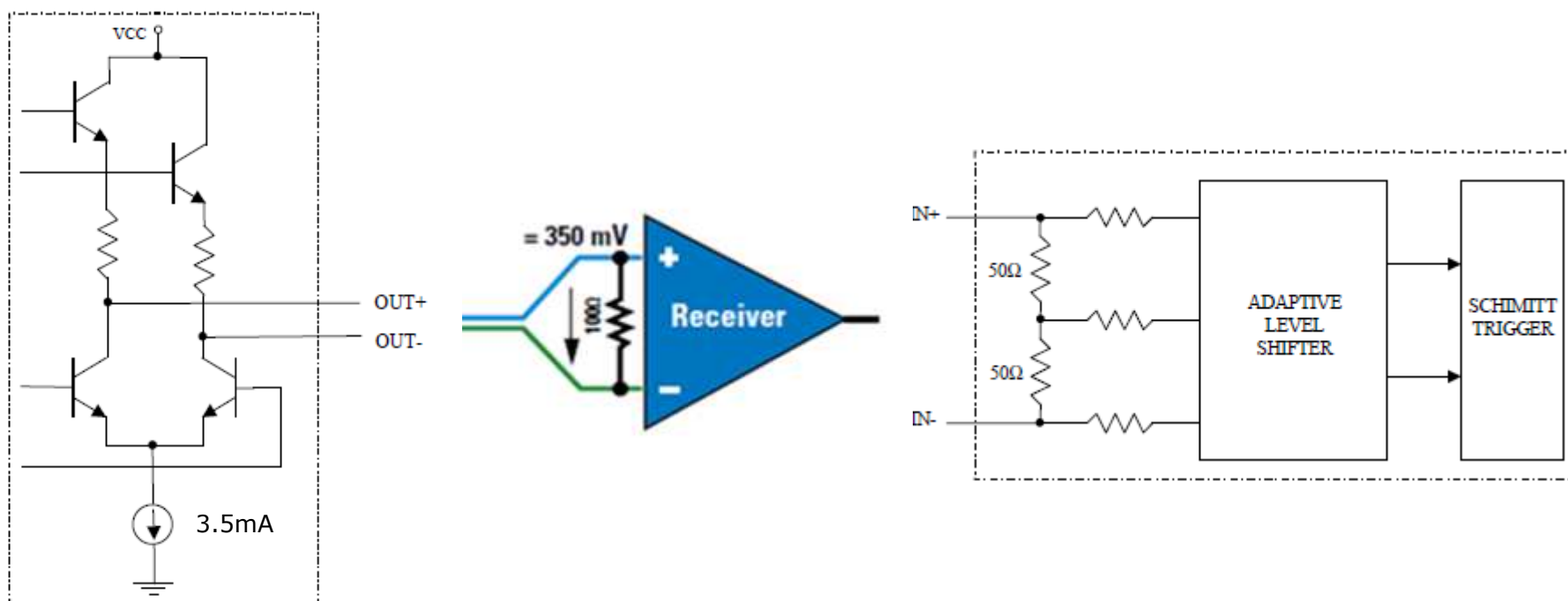
Standardy sygnalizacji

Sygnalizacja różnicowa

	Industry Standard	Maximum Data Rate	Output Swing (V_{OD})	Power Consumption
LVDS	TIA/EIA-644	3.125 Gbps	± 350 mV	Low
LVPECL	N/A	10+ Gbps	± 800 mV	Medium to High
CML	N/A	10+ Gbps	± 800 mV	Medium
M-LVDS	TIA/EIA-899	250 Mbps	± 550 mV	Low
B-LVDS	N/A	800 Mbps	± 550 mV	Low

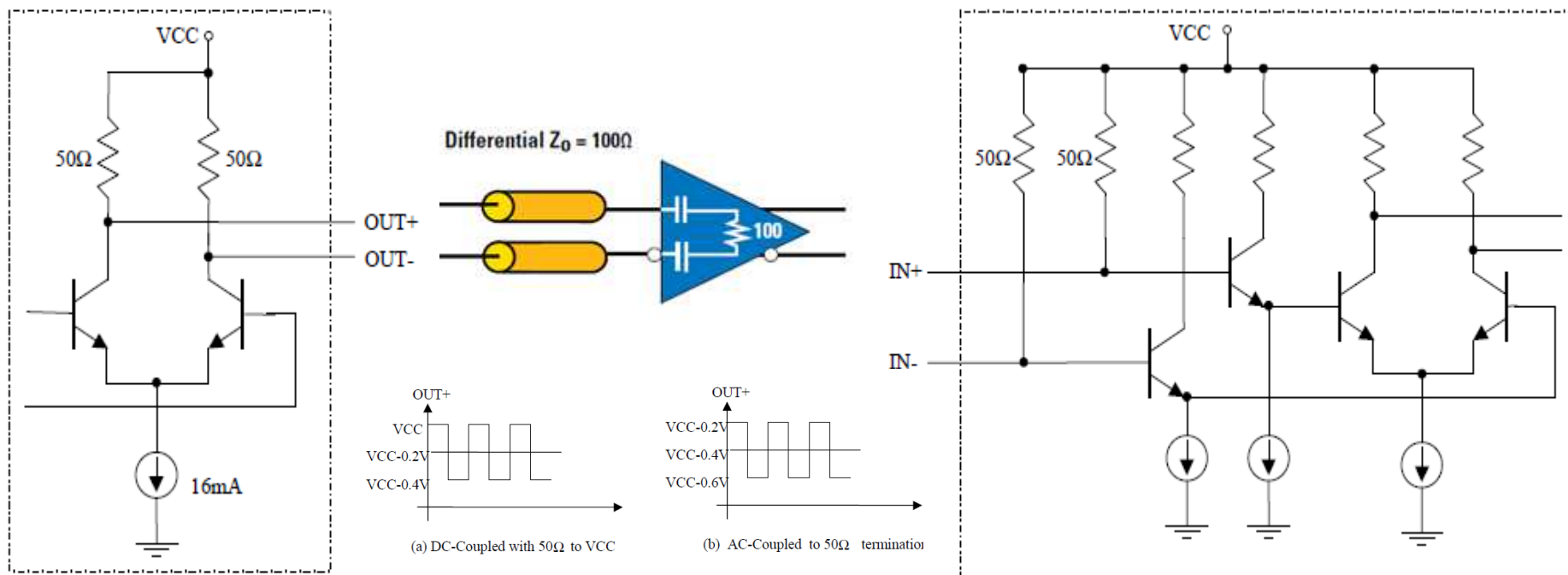


Standardy sygnalizacji LVDS (Low Voltage Differential Signalling)



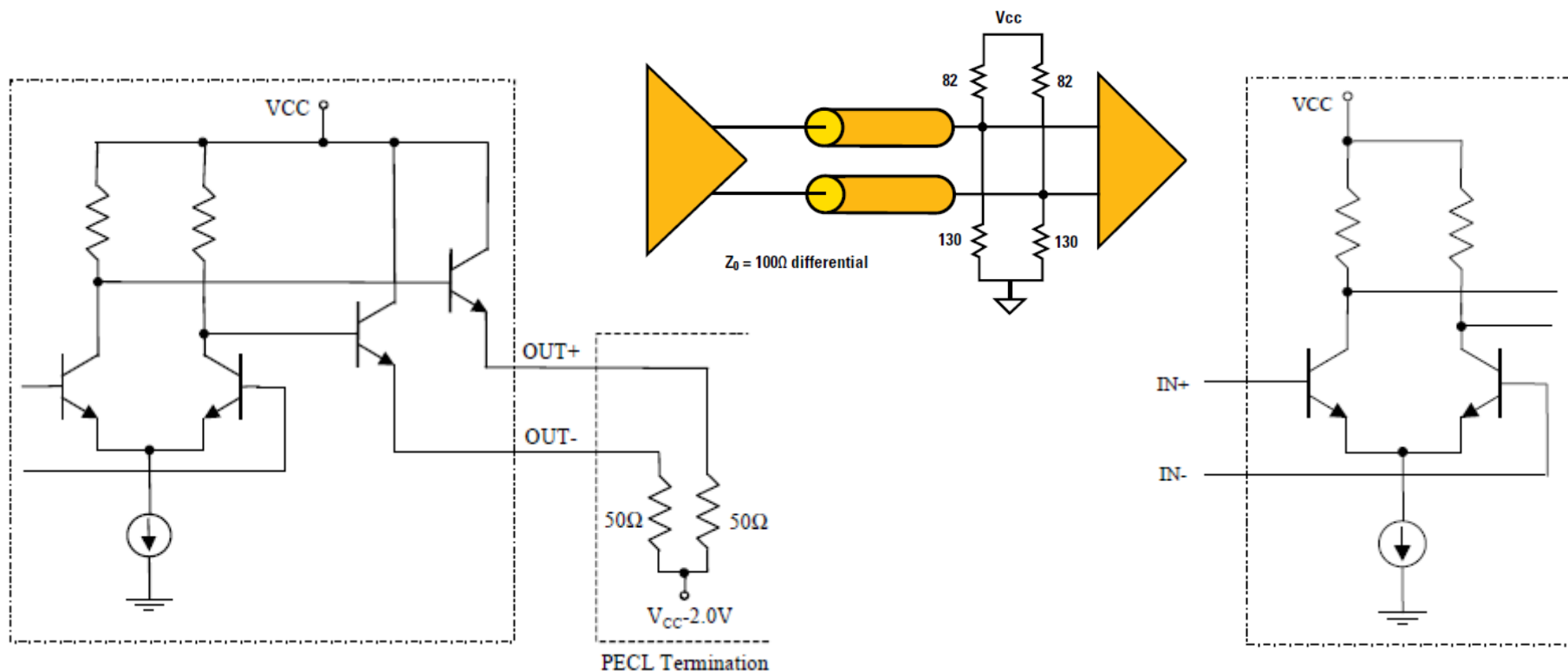
- wyjściowe napięcie wspólne $V_{CM} = 1.2V$
- duża tolerancja wejściowego V_{CM} (0.2...2.2V) $\Rightarrow$ uniwersalny biorca
- mały *swing* napięcia $\Rightarrow$ mały pobór mocy $\Rightarrow$ także do interf. równoległych

Standardy sygnalizacji CML (Current Mode Logic)



- brak standardu !
- wyjściowe napięcie różnicowe $V_{OD} = 800\text{mV}_{pp}$ (typ.)
- sprzężenie AC $\Rightarrow$ konieczność kodu o zrównoważonej składowej DC

Standardy sygnalizacji LVPECL (Low Voltage Positive ECL)



- wyjściowe $V_{CM} = V_{CC} - 1.3V$ (prąd = 14 mA)
- mała impedancja wyjściowa: 4...5Ω
- w zależności od konstrukcji wejścia wymagana zewnętrzna polaryzacja
- sprzężenie AC/DC może dodatkowo wpłynąć na obwód dopasowania

Czynniki wyboru optymalnego rozwiązania:

- Przepustowość
- Kanał: ścieżki, magistrale, kable
- Budżet mocy
- Topologia (*point-to-point, multidrop, multipoint*)
- Transmisja szeregową / równoległą
- Dystrybucja sygnału zegara
- Zgodność ze standardami przemysłowymi
- Konieczność/możliwość kondycjonowania (uzdatniania) sygnałów

LVDS:

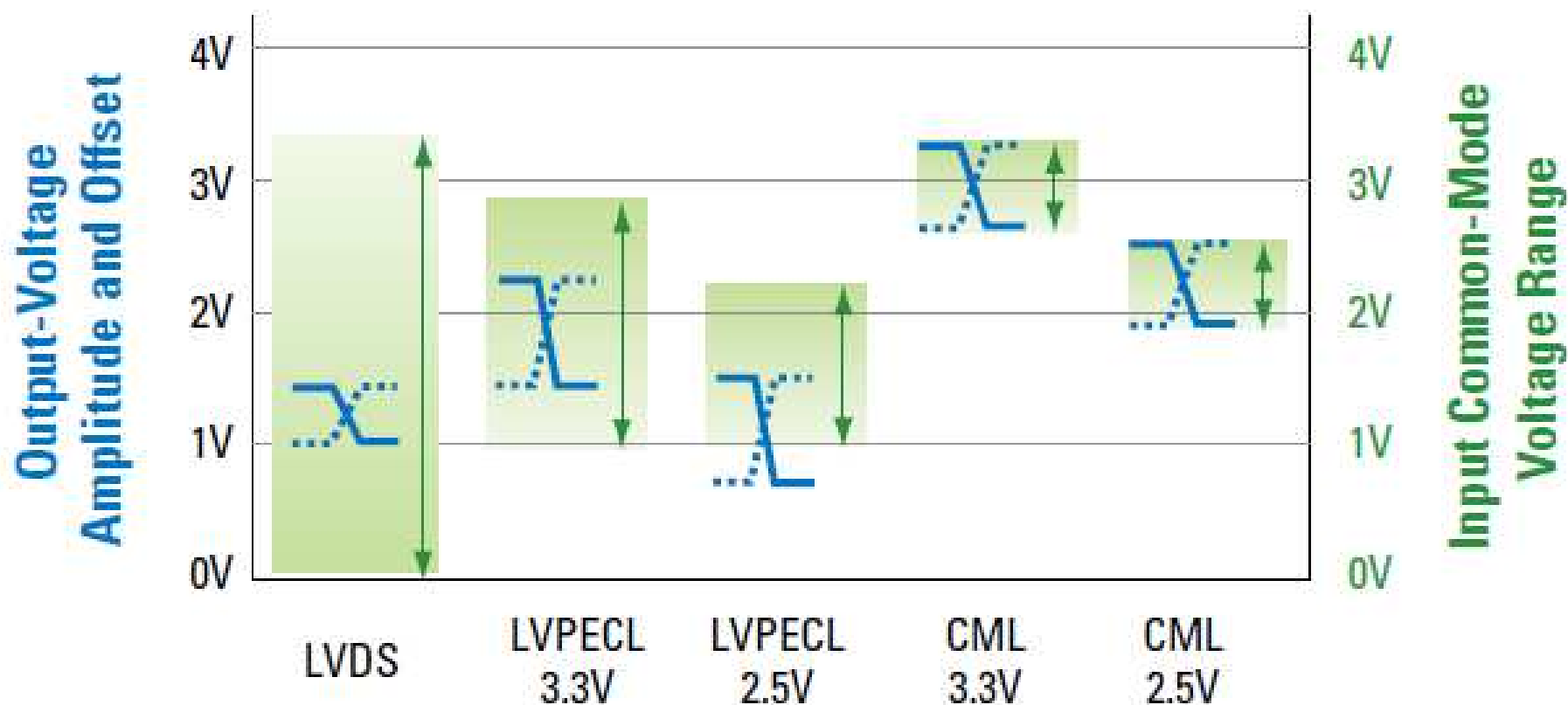
- powszechny
- mały pobór mocy
- małe EMI
- odporność na zakłócenia
- łatwa możliwość współpracy z innymi sygnalizacjami
- DC...3 Gbps
- 2..3 Gbps: mniejsza moc niż CML
- bufor z pre-emfazą i equalizacją

CML:

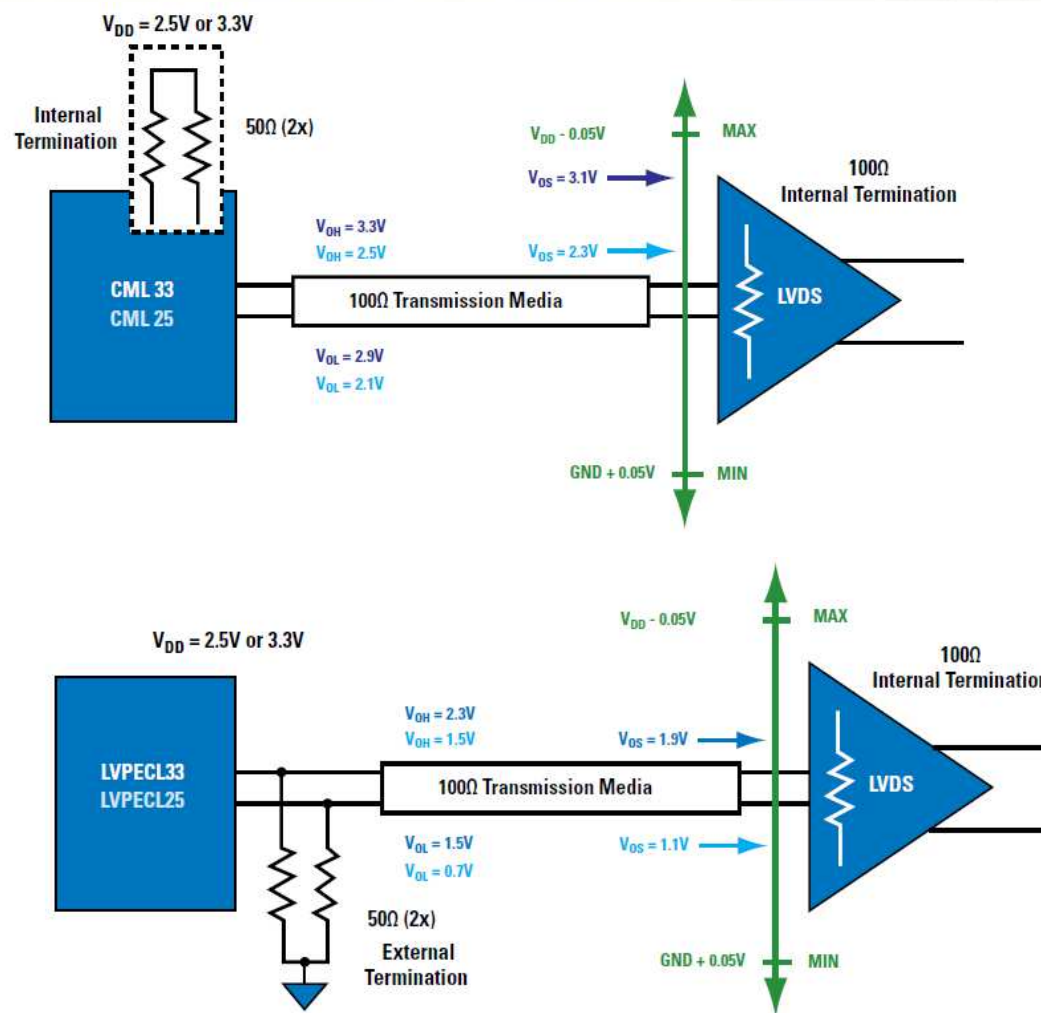
- zgodny ze standardami interfejsów (PCIe, SATA, HDMI)
- >3 Gbps
- 2..3 Gbps: mniejszy jitter niż LVDS

LVDS i CML:

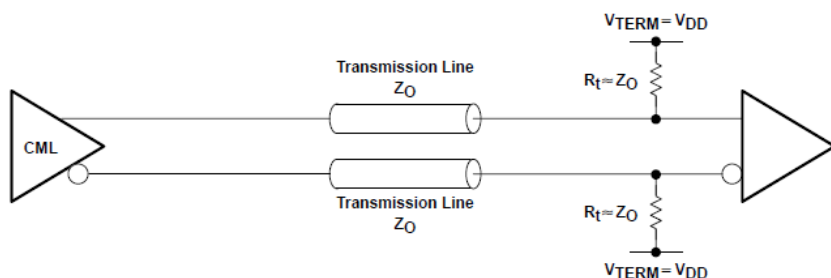
- dla długich torów, gdzie wymagane jest uzdatnianie sygnałów



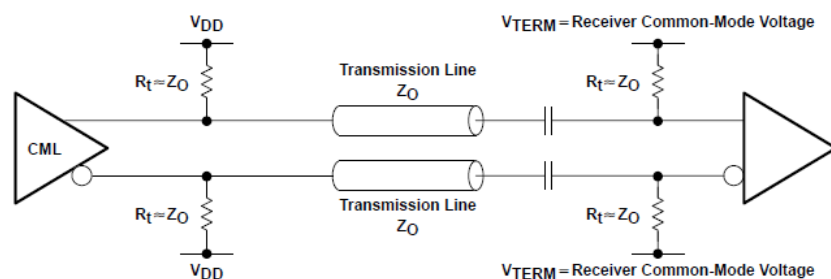
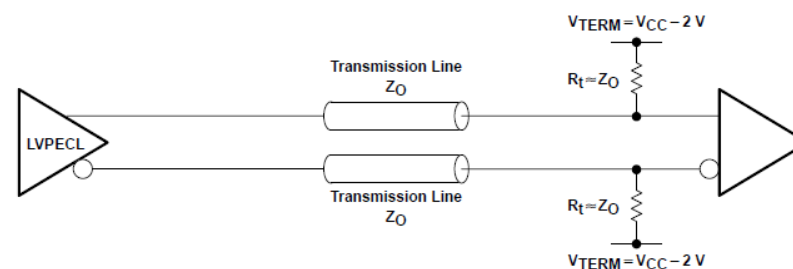
Sprzężanie Translacja poziomów



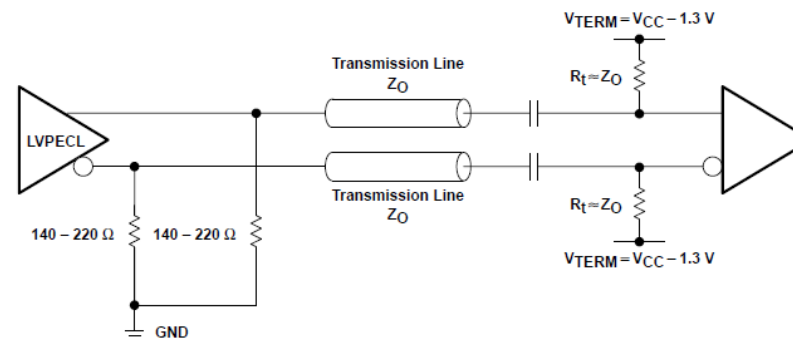
Sprzężanie Translacja poziomów



DC

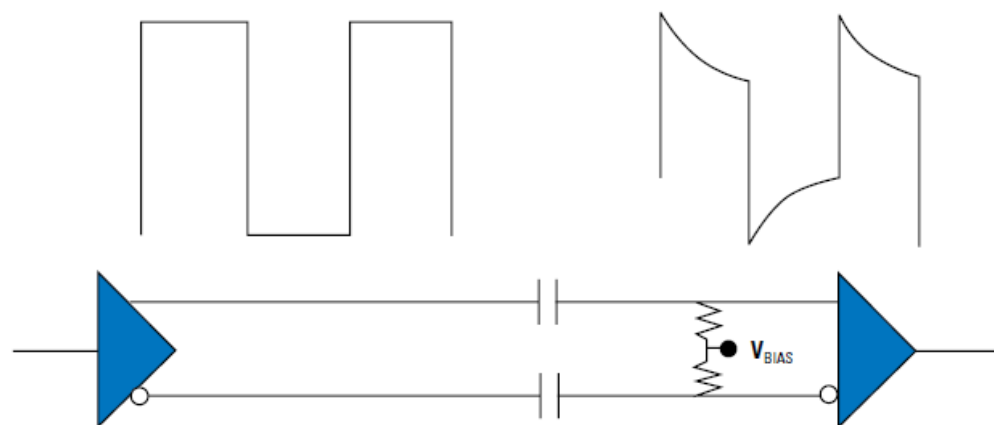


AC

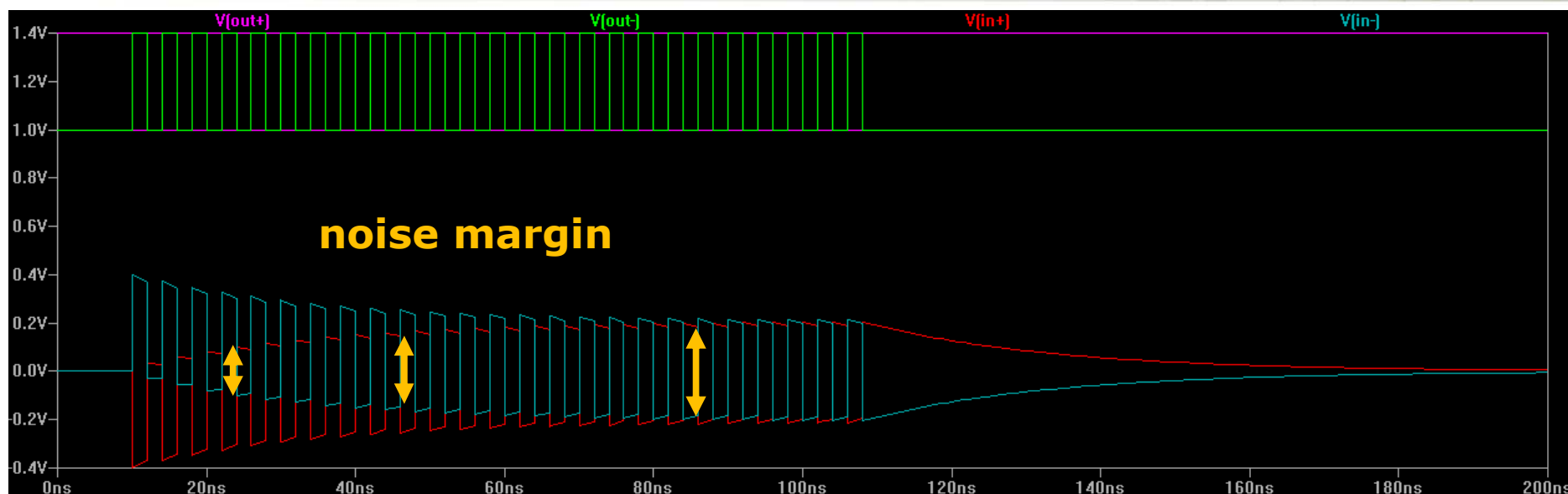


CML driver

LVPECL driver



- symetryzacja przebiegu na wejściu względem V_{BIAS}
 ⇒ redukcja jitteru / polepszenie warunków pracy odbiornika
- eliminacja ew. różnic w *threshold*
 ⇒ mogą wystąpić, ponieważ CML i LVPECL nie są standardami
- eliminacja ew. polaryzacji DC między nadajnikiem a odbiornikiem
 ⇒ pozwala na połączenia między różnymi technologiami
- ochrona przed różnicą potencjału mas
 ⇒ polepsza warunki pracy odbiornika i zwiększa niezawodność
- konieczność zrównoważenia DC danych !



- zrównoważenie DC, gdy w całym strumieniu danych jest jednakowa liczba 0 i 1
- możliwe do osiągnięcia niezależnie od rodzaju danych, po zastosowaniu odpowiedniego kodowania (*scrambling*)
- różne rozwiązania: kod obliczany on-line (funkcje stałe albo ze sprzężeniem liniowym) lub kod look-up-table (8b/10b, 64b/66b)
- stosuje się różne miary, opisujące krótkoterminową odchyłkę od zrównoważenia

Sprzęganie Zrównoważenie DC – kod 8b/10b

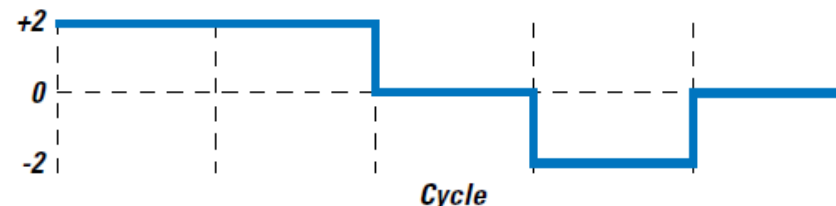
- każde 8 bitów transmitowane jest jako 10-bitowy symbol
- kod zrównoważony, różnica liczby bitów (*disparity*) wynosi -2, 0 lub +2
- Running Disparity* (RD) – różnica liczona na bieżąco, dzięki kodom alternatywnym w każdym momencie mieści się w zakresie -2...+2
- Running Length* (RL) – maksymalna liczba kolejnych 0 lub 1, tu wynosi 5. Ogranicza to pasmo sygnału od dołu. Podstawowe częstotliwości (minimalna i maksymalna) dla 1Gbps wynoszą odp. 100 i 500 MHz
- dobór pojemności tak, aby zwis impulsu nie przekraczał 3% (0.25dB):

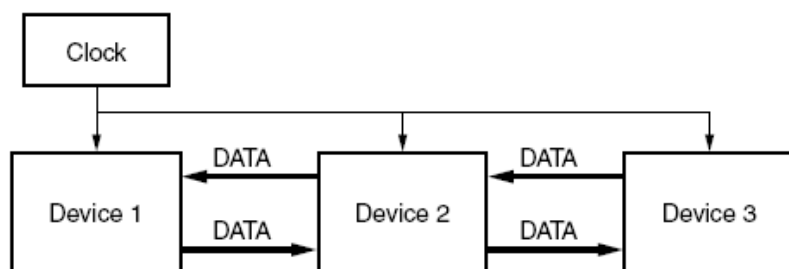
$$C = (7.8 \times \text{Running Length} \times \text{Bit Period}) / R$$

Mniejsze pojemności łatwiej upakować, większe – mniej zniekształcają sygnał.

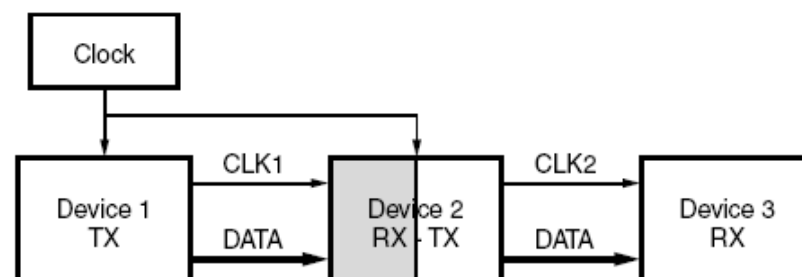
Value (Decimal)	Value (Binary)	10-bit Code	Alternative Code
	HGF EDCBA	abcdei fghj	abcdei fghj
0	000 00000	100111 0100	011000 1011
1	000 00001	011011 0100	100010 1011
2	000 00010	101101 0100	010010 0011
3	000 00011	110001 1011	110001 0100
4	000 00100	110101 0100	001010 1011
5	000 00101	101001 1011	101001 0100
6	000 00110	011001 1011	011001 0100
7	000 00111	111000 1011	000111 0100
8	000 01000	111001 0100	000110 1011
9	000 01001	100101 1011	100101 0100
10	000 01010	010101 1011	010101 0100
⋮	⋮	⋮	⋮

8b/10b Running Disparity





System Synchronous



Source Synchronous

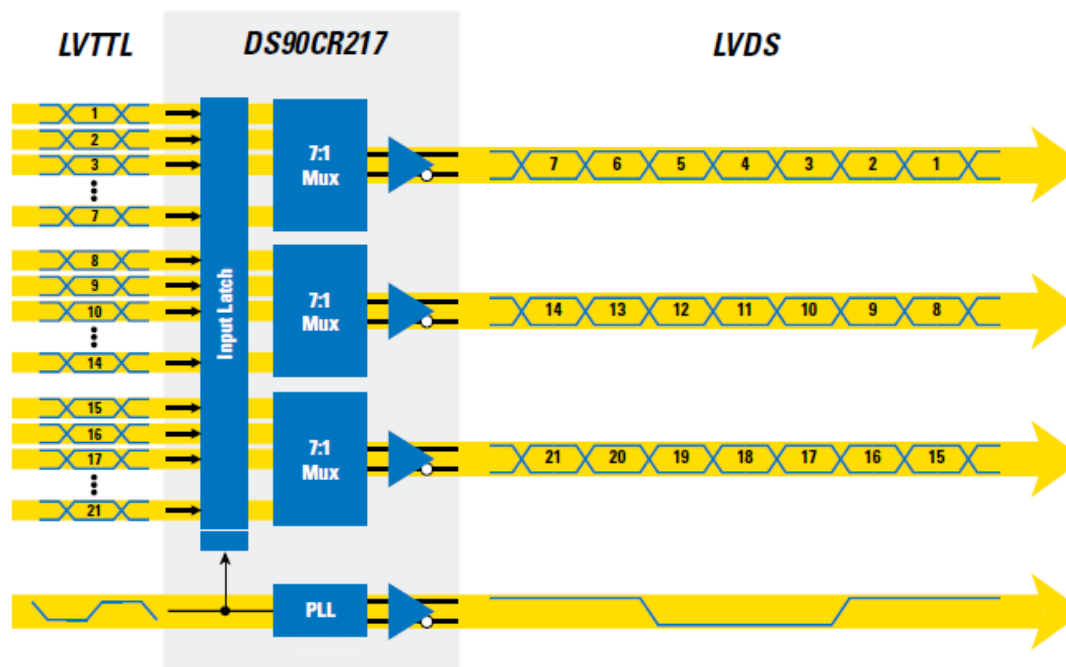
Synchronizm systemu:

- wspólny zegar całego systemu
- $< \sim 50\text{MHz}$
- konieczność uzgodnienia faz danych
- brak konieczności resynchronizacji danych

Synchronizm źródła:

- lokalne zegary interfejsów
- $> \sim 100\text{MHz}$
- brak możliwości uzgodnienia faz danych
- konieczność resynchronizacji danych

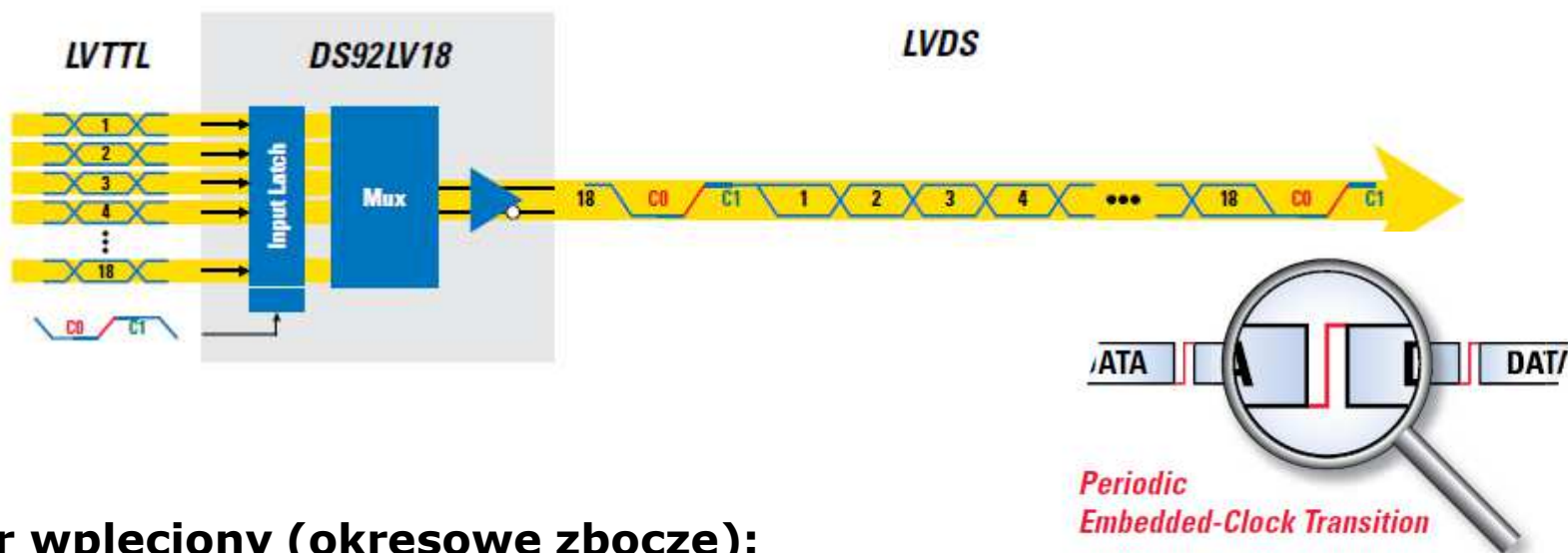
Architektury Parallel Clock



Zegar równoległy:

- aplikacje serializacji magistral równoległych „dane-adres-sterowanie” (PCI, magistrale procesorów, interfejsy video itp.)
- wiele kanałów transmisyjnych – konieczna minimalizacja różnicy opóźnień w poszczególnych kanałach
- ustalona długość ramki

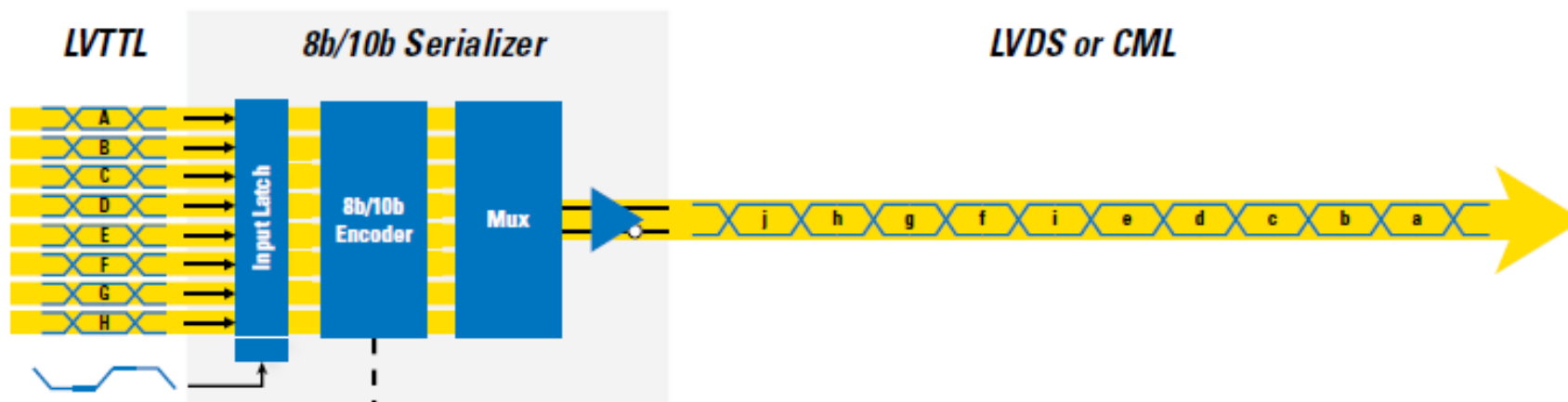
Architektury Embedded Clock (Periodic Transition)



Zegar wpleciony (okresowe zbocze):

- zegar (1 zbocze) + dane w każdej ramce
- synchronizacja automatyczna (*lock to random data*), idealna kiedy nie ma kontroli nad odbiornikiem
- wspólny kanał transmisyjny
- elastyczna długość ramki (np. 10, 12, 16, 24...)
- rozluźnione wymagania dla zegara na $F (\pm 50k \text{ PPM})$ i jitter ($\sim 100 \text{ ps RMS}$)

Architektury Embedded Clock (Coded)



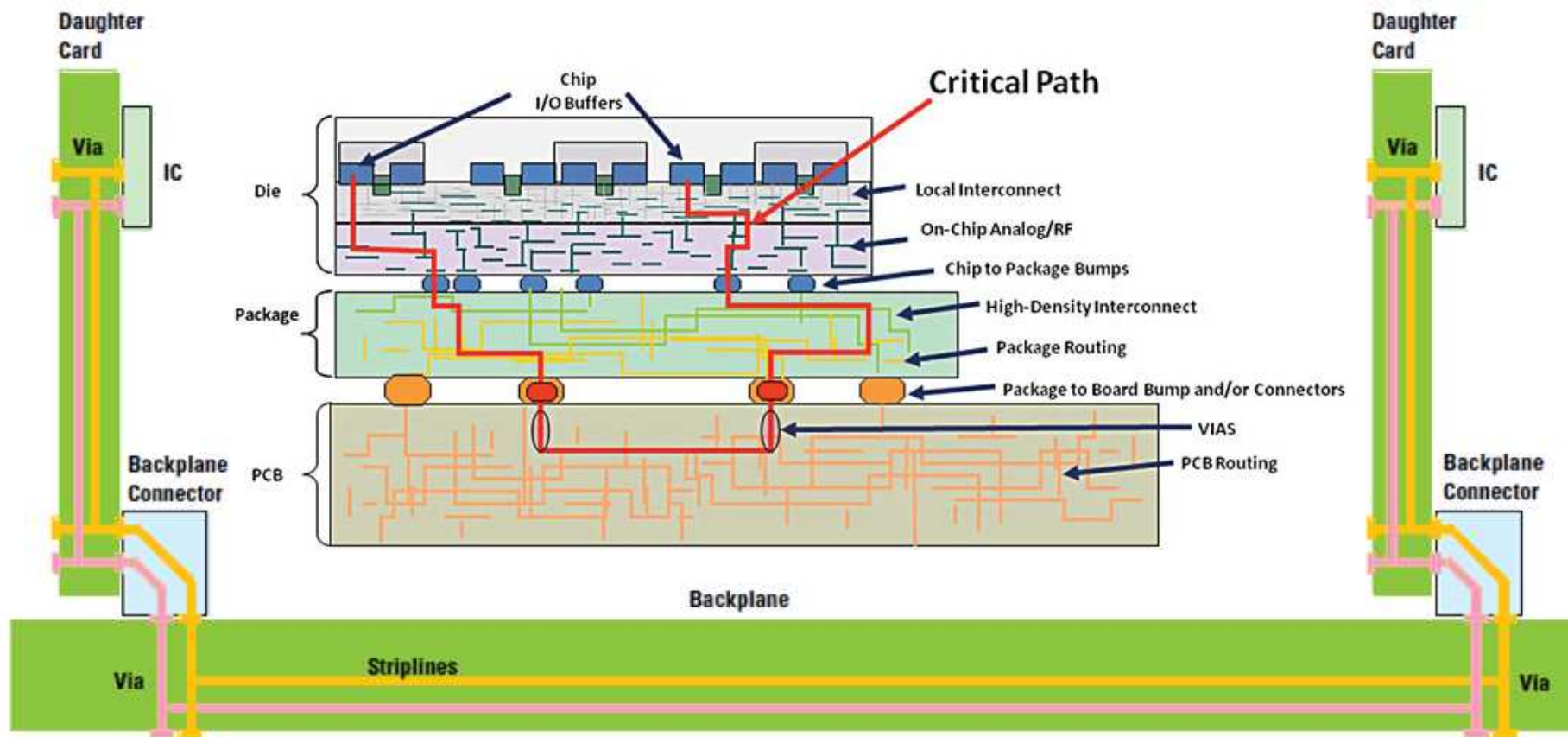
Value (Decimal)	Value (Binary)	10-bit Code	Alternate Code
	HGF EDCBA	abcdei fghj	abcdei fghj
0	000 00000	100111 0100	011000 1011
1	000 00001	011011 0100	100010 1011
2	000 00010	101101 0100	010010 1011
3	000 00011	110001 1011	110001 0100
4	000 00100	110101 0100	001010 1011
5	000 00101	101001 1011	101001 0100
6	000 00110	011001 1011	011001 0100
7	000 00111	111000 1011	000111 0100
8	000 01000	111001 0100	000110 1011
9	000 01001	100101 1011	100101 0100
10	000 01010	010101 1011	010101 0100
⋮	⋮	⋮	⋮

K28.5 Special Code	
abcdeif	ghj
0011111 1100000	010 101
"Comma"	

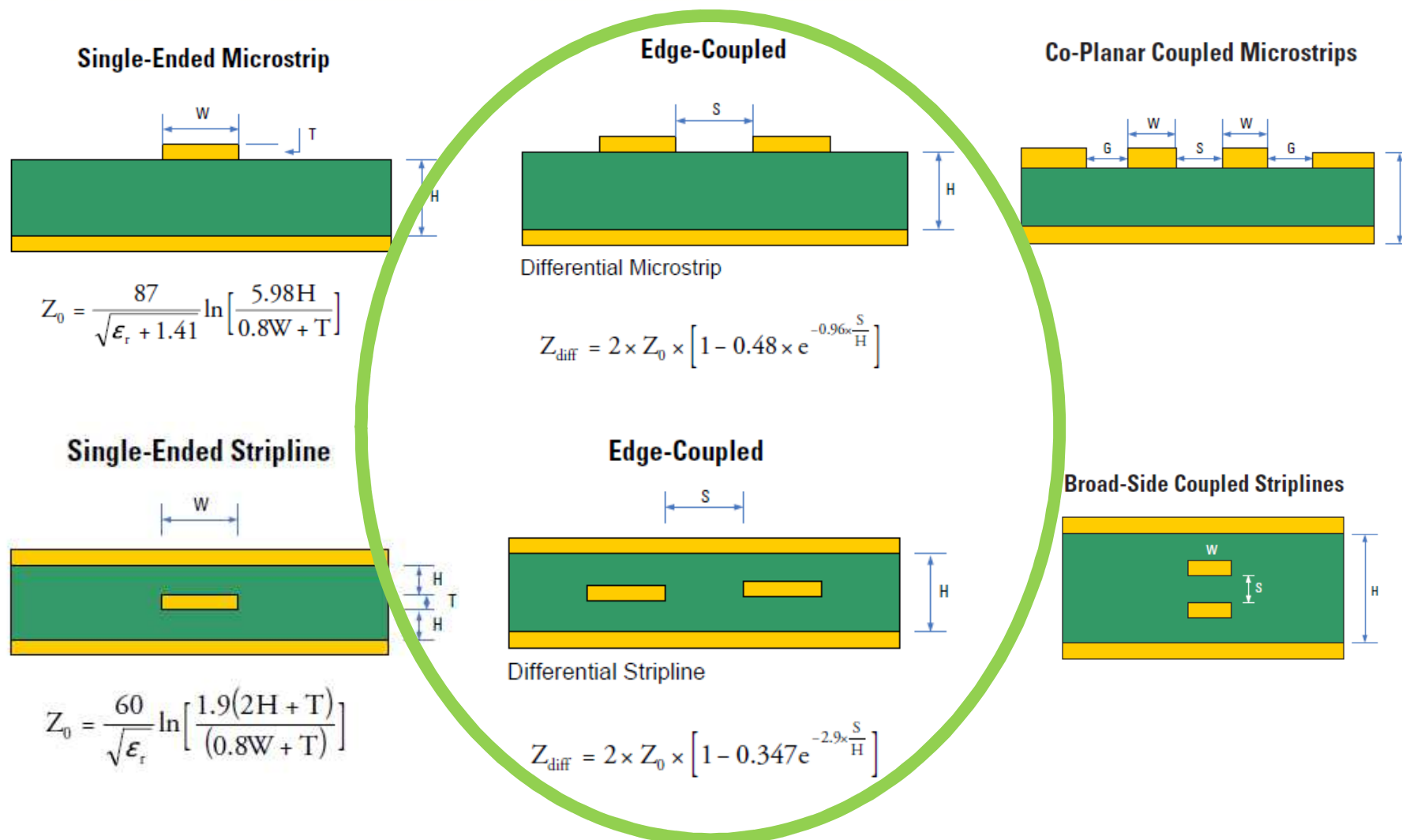
Zegar wpleciony (kodowany):

- mapowanie danych (np. 8b/10b)
- wiele zboczy na każdy kod
- zrównoważona składowa DC
- specjalne kody do synchronizacji (*comma*)
- wymagania na F (± 100 PPM) i jitter (~ 10 ps RMS)

Kanały przesyłowe Architektura systemu



bonding i obudowa IC, pady lutownicze, przelotki, ścieżki, złącza, kable



Kanały przesyłowe Linie transmisyjne PCB - narzędzie

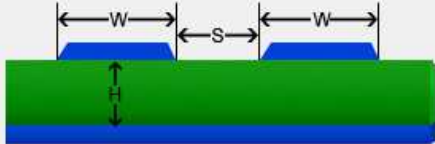
Differential Pairs

Conductor Width (W)
10 mils

Conductor Spacing (S)
5 mils

Conductor Height (H)
15 mils

W/H = 0.667
S/H = 0.333



Target Zdiff
100 Ohms

Formula Restrictions:
0.1 < W/H < 3.0
0.1 < S/H < 3.0

Zdifferential
100.979 Ohms

Zo
77.504 Ohms

+/- Tolerance = 10%

111.077 Ohms

90.881 Ohms

Options

Base Copper Weight
☐ 0.25oz
☒ 0.5oz
☐ 1oz
☐ 1.5oz
☐ 2oz
☐ 2.5oz
☐ 3oz
☐ 4oz
☐ 5oz

Plating Thickness
☐ Bare PCB
☐ 0.5oz
☒ 1oz
☐ 1.5oz
☐ 2oz
☐ 2.5oz
☐ 3oz

Differential Layer
☒ Edge Cpld Ext
☐ Edge Cpld Int Sym
☐ Edge Cpld Int Asym
☐ Edge Cpld Embed
☐ Broad Cpld Shld
☐ Broad Cpld NShld

Units
☒ Imperial
☐ Metric

Substrate Options
 Material Selection
FR-4 STD

Er
4.6

Tg (°C)
130

Temp Rise (°C)
20

Temp in (°F) = 36.0

Ambient Temp (°C)
22

Temp in (°F) = 71.6

Print Solve!

Information
 Total Copper Thickness 2.10 mils
 VIA Thermal Resistance N/A
 Conductor Temperature
 Temp in (°C) = N/A
 Temp in (°F) = N/A

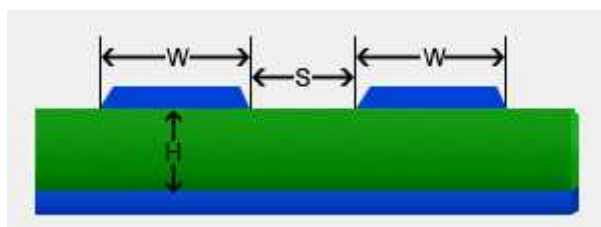


Conductor Spacing	Conductor Impedance	Conversion Data	Planar Inductors	PDN Impedance	Thermal
Fusing Current	Embedded Resistors	PPM Calculator	Crosstalk Calculator	Wavelength Calculator	
Via Properties	Conductor Properties	Bandwidth & Max Conductor Length	Differential Pairs	Padstack Calculator	Mechanical Information

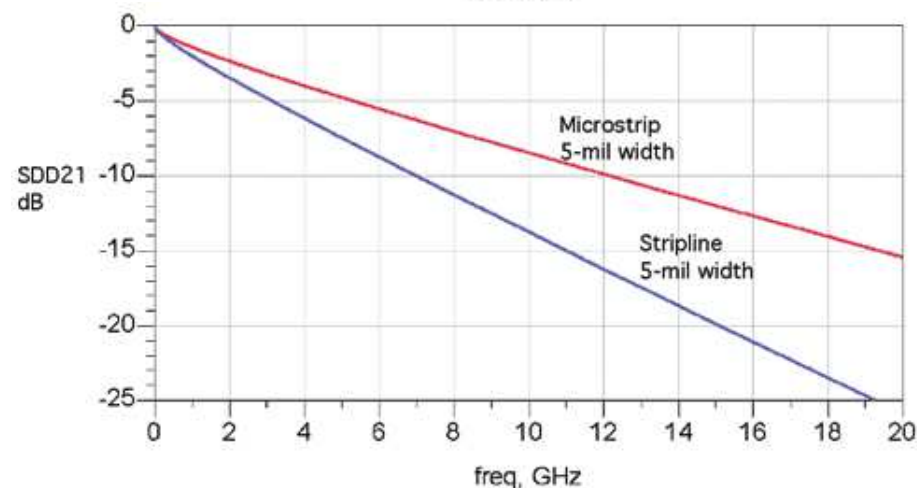
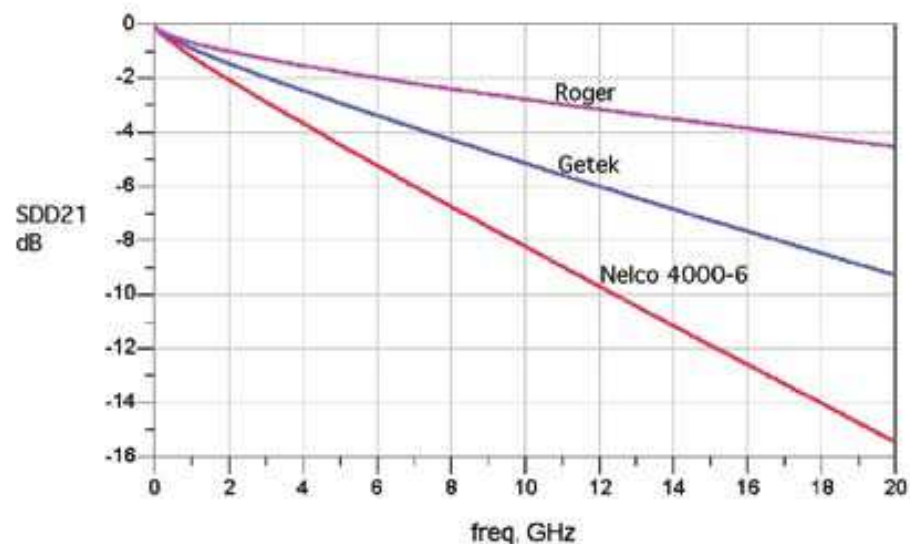
- do ok. 1GHz – efekt naskórkowy (proporcjonalny do pierwiastka z F)
- od ok. 1GHz – stratność dielektryka (proporcjonalna do F)

Metody zmniejszania stratności

- zwiększanie rozmiarów
=> wpływ na gęstość upakowania
- dobór dielektryka
=> wpływ na rozmiary

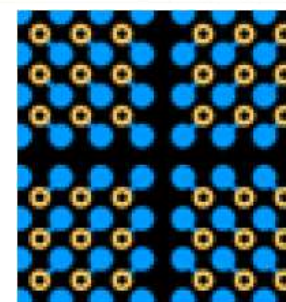


$$Z_d \propto W \propto S \propto H \propto \epsilon$$

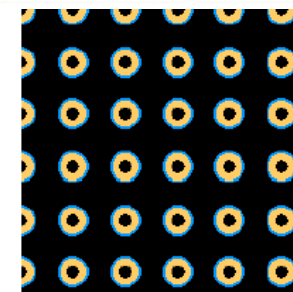


Kanały przesyłowe Linie transmisyjne PCB - przelotki

- elektryczne parametry przelotki zależą od: rozmiarów, stosu PCB oraz materiałów
- odległość między przelotkami w parze wpływa na wzajemne sprzężenie i impedancję różnicową

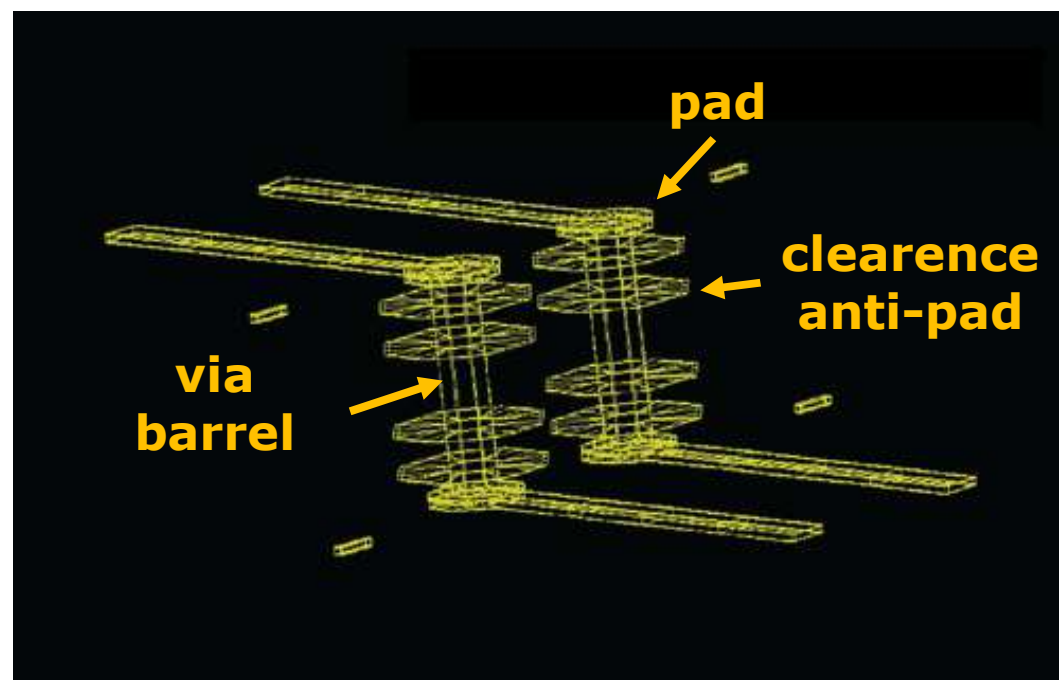


dog-bone

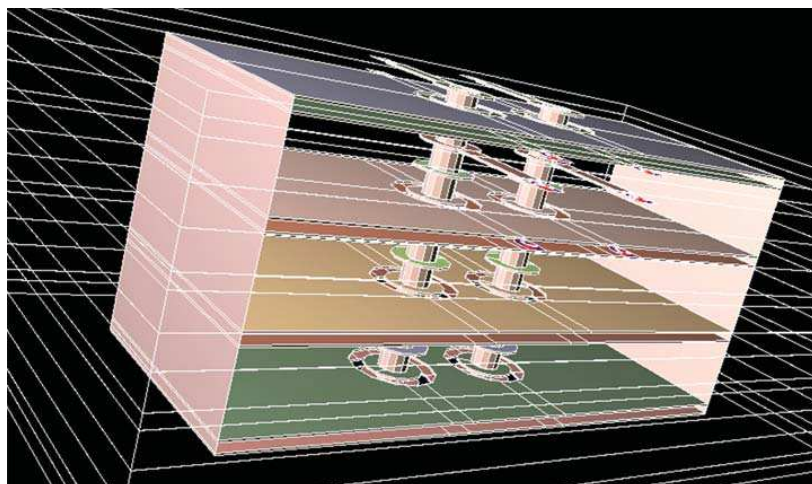


via-in-pad

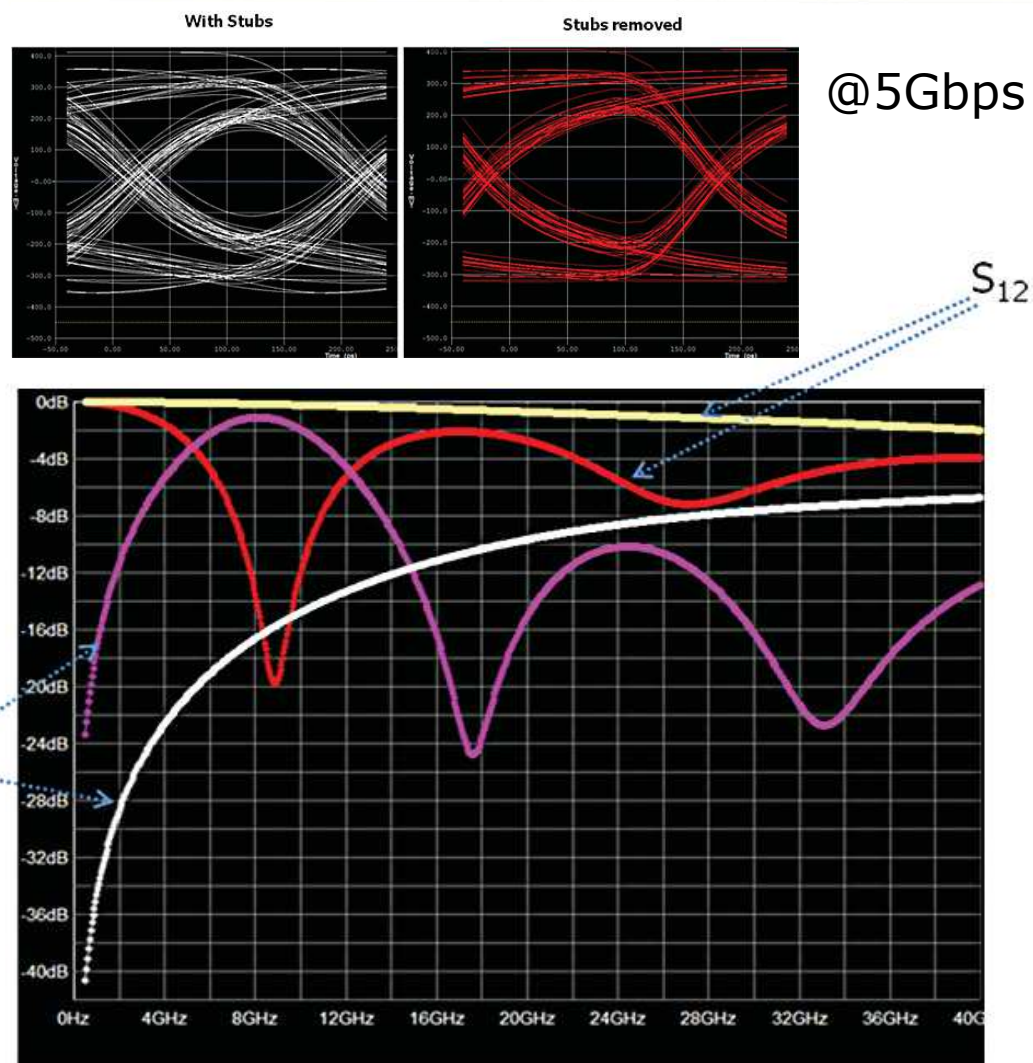
- metalizacja (*via barrel*) ma charakter indukcyjny (np. przelotka o małej średnicy ma wypadkowo charakter indukcyjny)
- pozostałe elementy mają charakter pojemnościowy (np. przelotka o dużej średnicy, przechodząca przez wiele warstw zasilania lub masy ma wypadkowo charakter pojemnościowy)



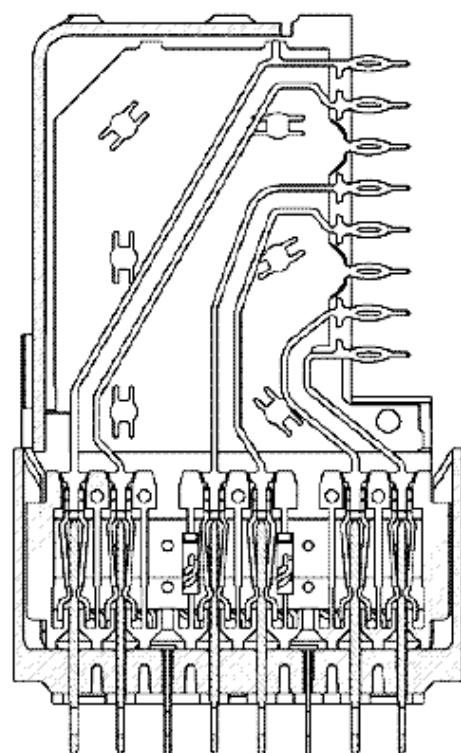
Kanały przesyłowe Linie transmisyjne PCB – przelotki



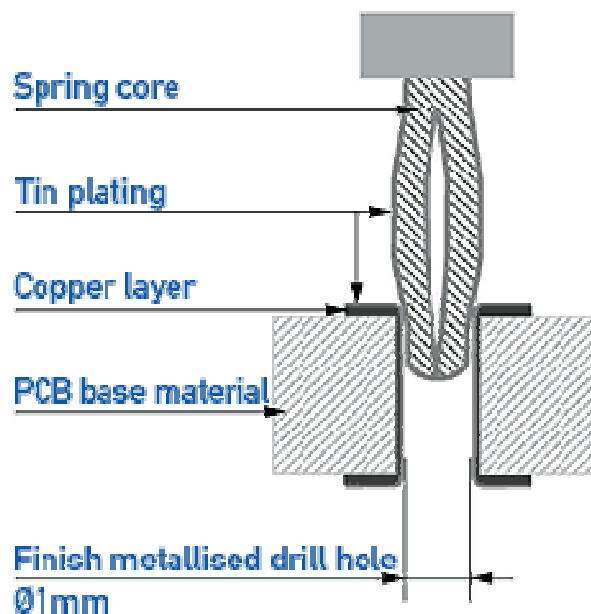
- pełna: różowy i czerwony
- ślepa: żółty i biały
- rezonans ok. 8 GHz => rozwiercanie nieużywanej części przelotki
- więcej => *Signal Integrity*



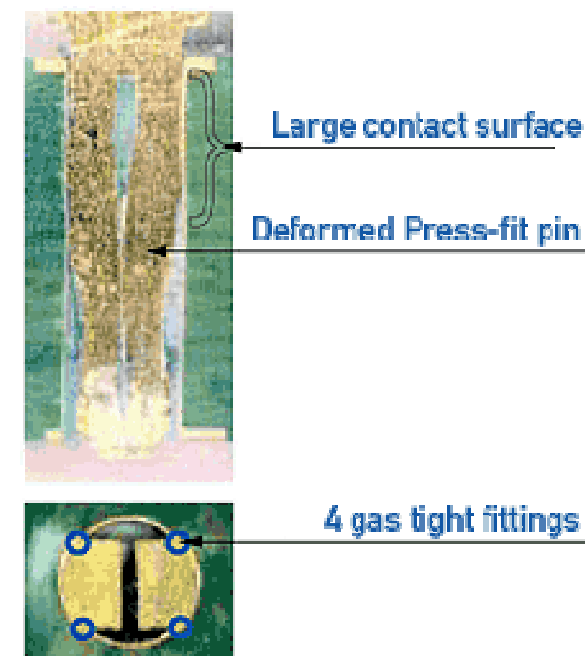
Kanały przesyłowe Złącza – *needle eye*



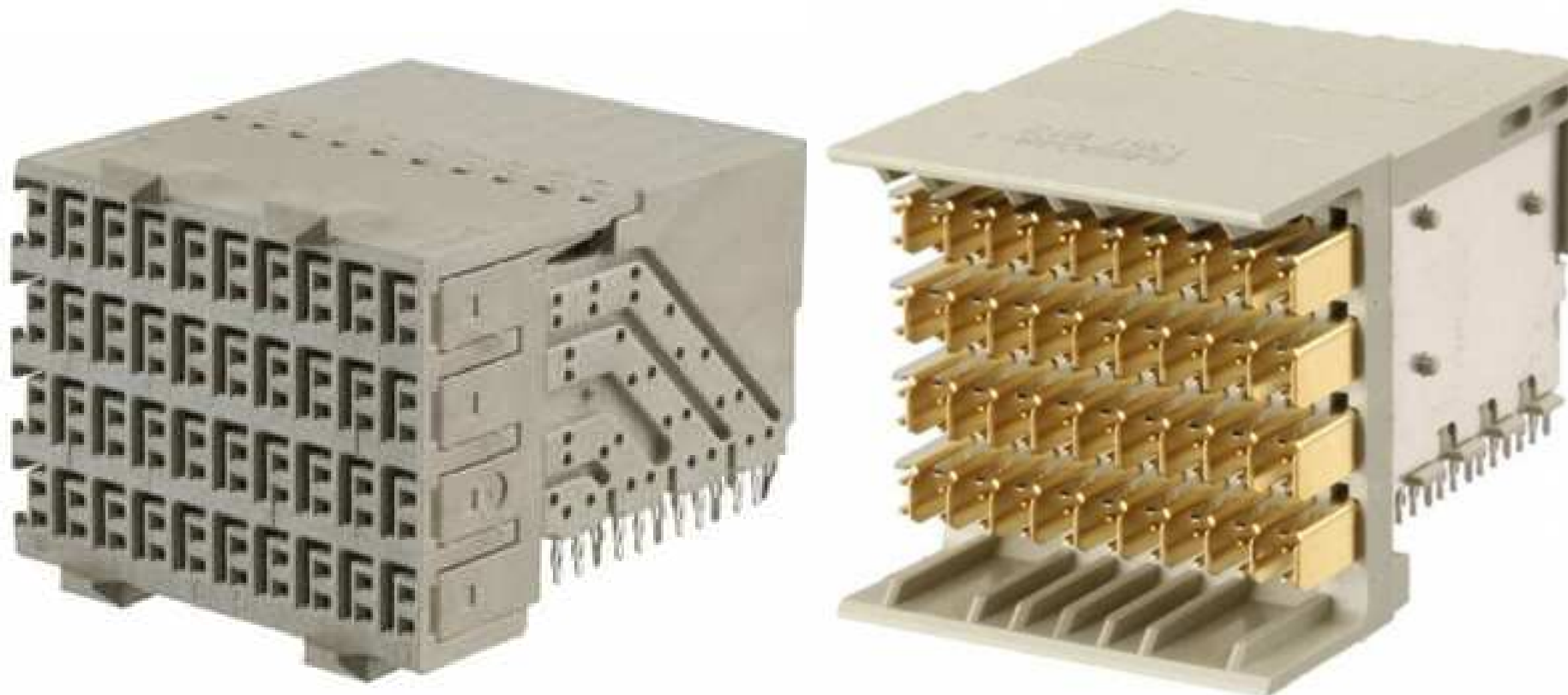
Press-fit structure



Sectional view

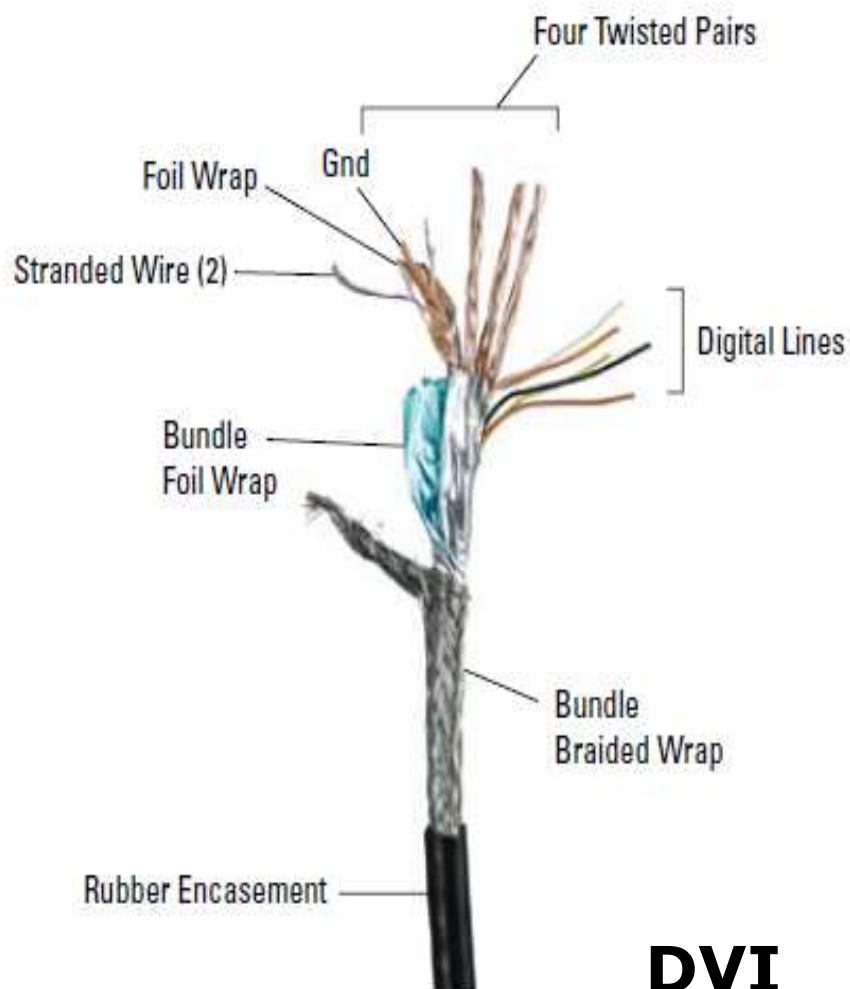


- pary z dopasowaną impedancją i kontrolą długości
- często dedykowane złącza masy
- grubość magistrali 2..3mm, średnica otworów > 0.6mm
⇒ charakter zdecydowanie pojemnościowy





- do 500 styków
- do 26 Gbps

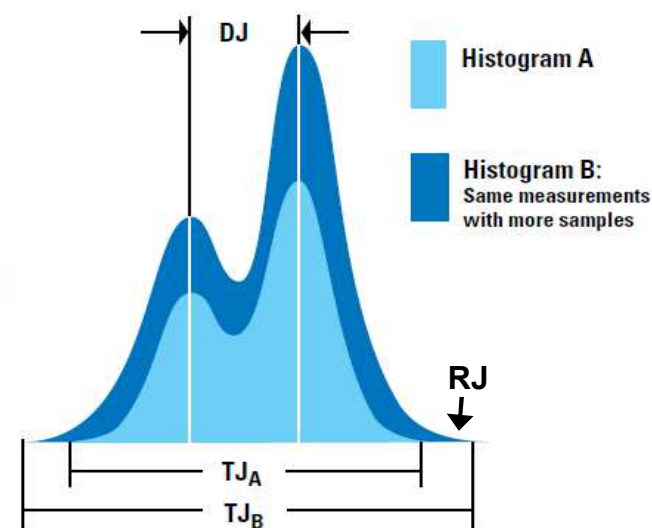
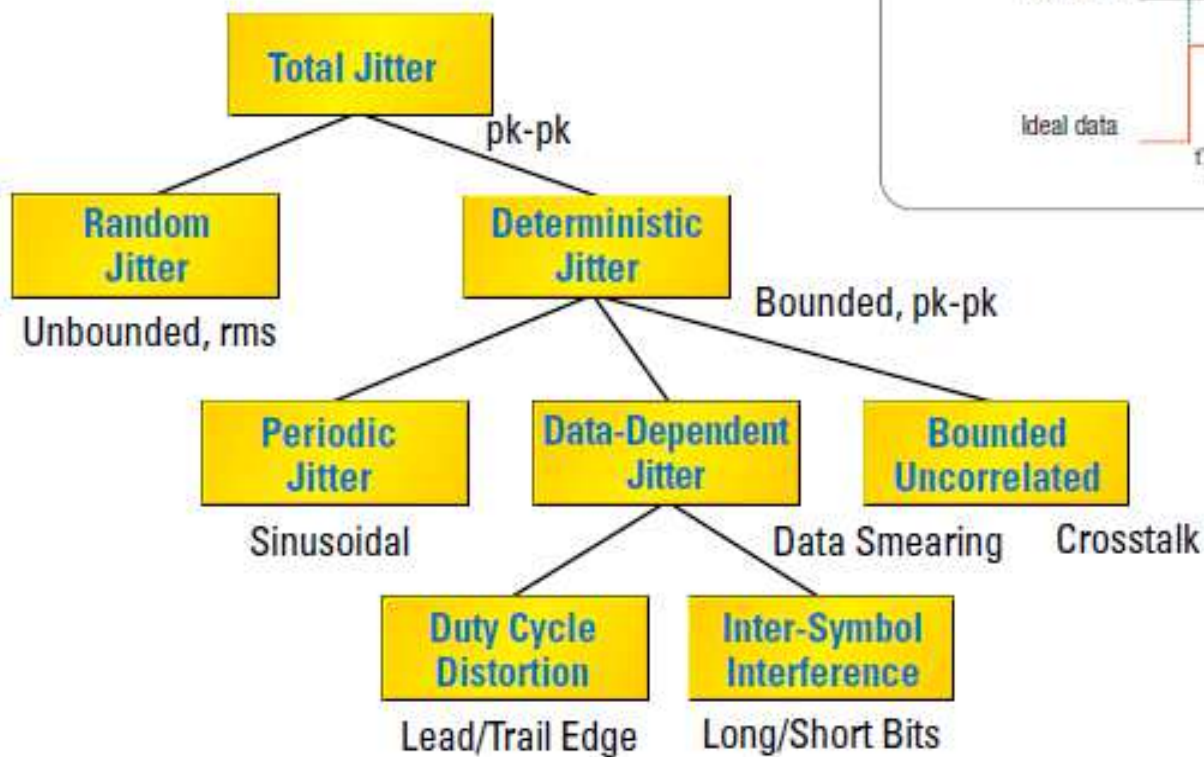
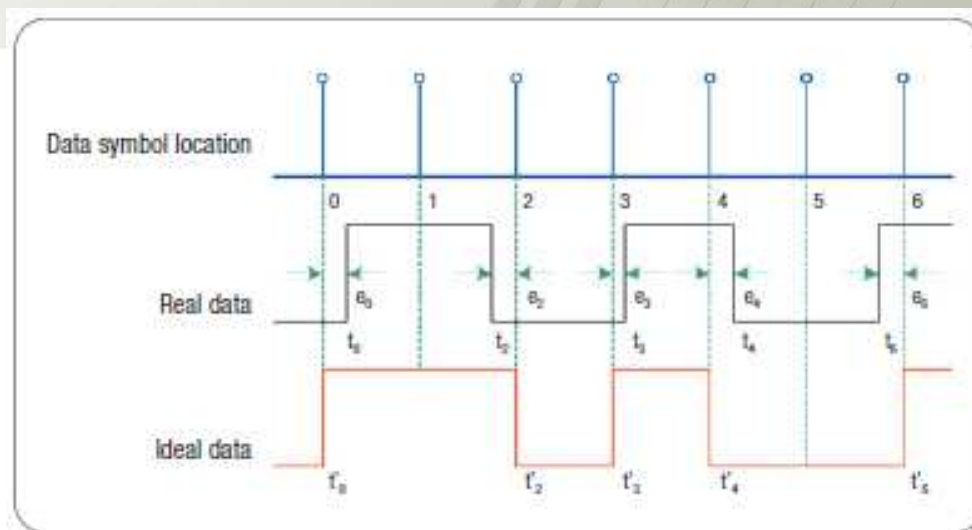


- stratność (proporcjonalna do F)
⇒ zwiększanie średnicy przewodu (ale droższy, cięższy i sztywniejszy)
- przesłuchy (zmniejszają SNR)
⇒ ekranowanie każdej pary (folia)
- różnice w długości poszczególnych par powodują różnice w fazie
- złącza kablowe stanowią istotny punkt niedopasowania i przesłuchów

Jitter

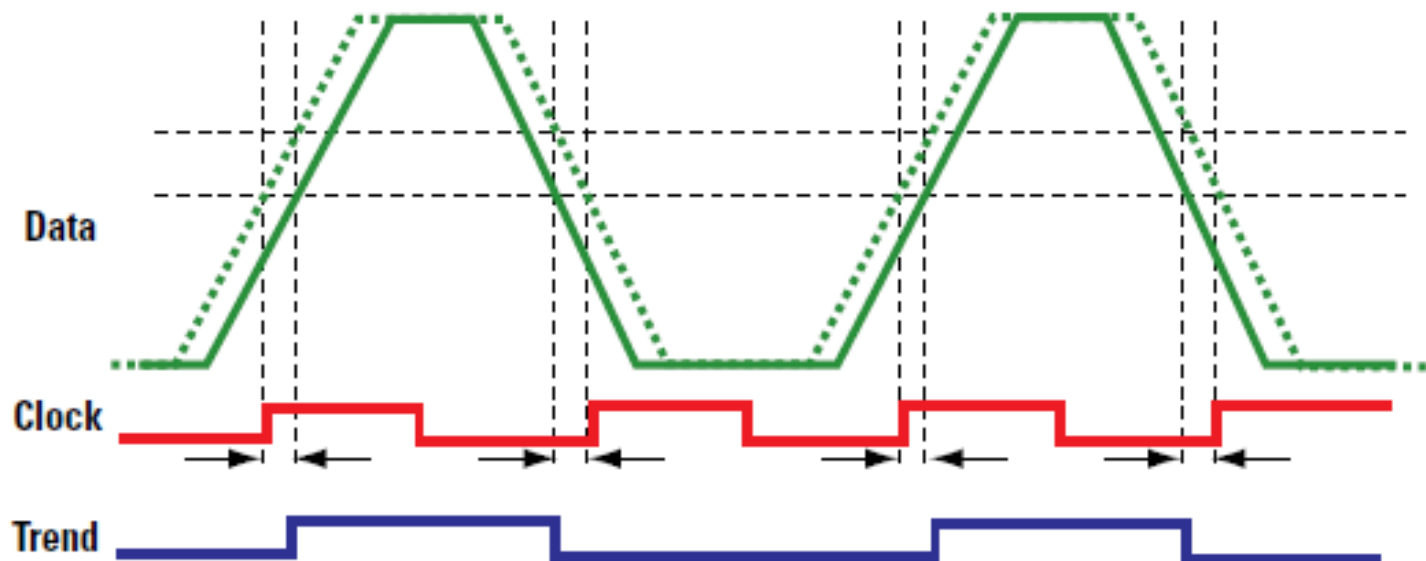
Definicja, rodzaje

Jitter – odchyłka położenia zboczy w sekwencji od ich idealnej pozycji.



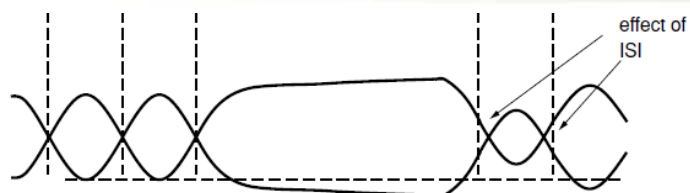
Jitter *Duty Cycle Distortion (DCD)*

- asymetria pomiędzy czasem narastania i opadania
- przesunięcie poziomu *threshold*

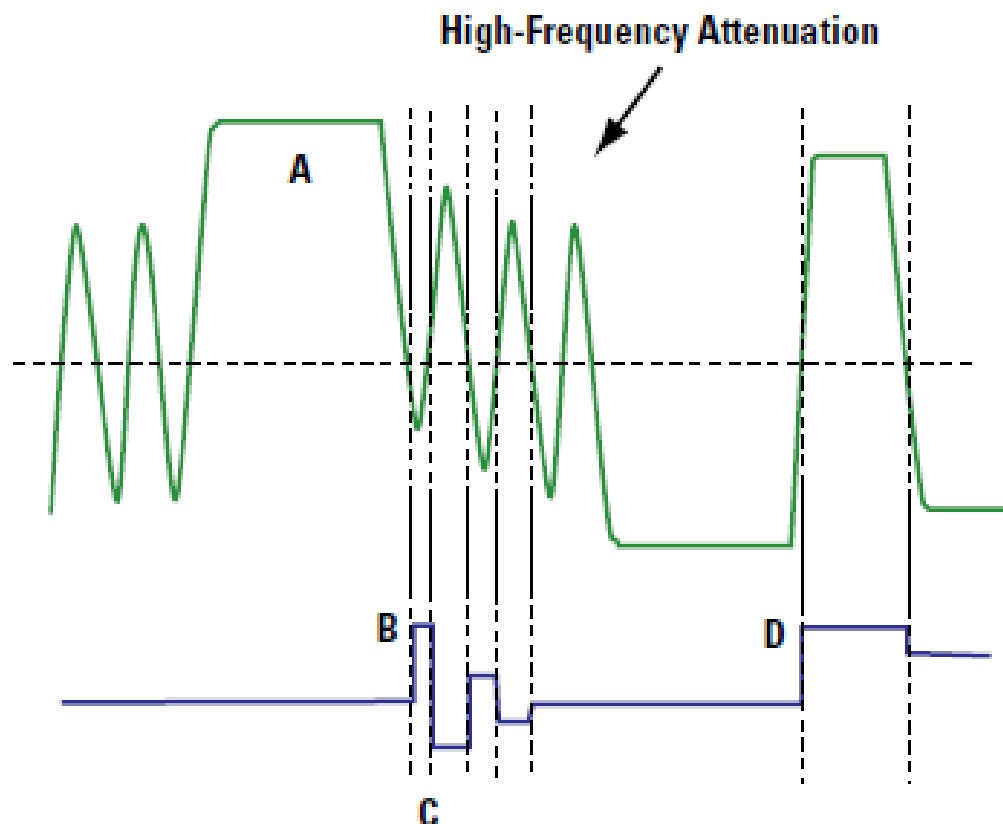


- idealny przebieg wyjściowy
- zniekształcony przebieg wyjściowy
- sygnał zegara (z zaznaczonym dodatnim i ujemnym błędem timingu)
- linia trendu błędu timingu

Jitter *Inter-Symbol Interference (ISI)*



- kiedy pasmo toru transmisyjnego < niż pasmo sygnału
- zależny od danych (PRBS-7: RL=7, 8b/10b: RL=5)

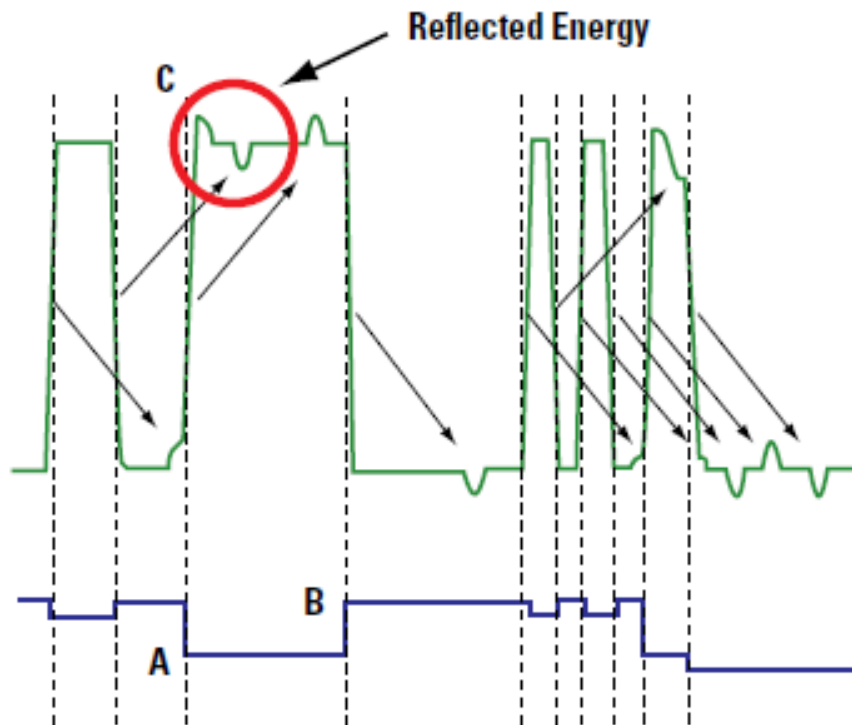


przebieg danych na wyjściu toru

linia trendu błędu timingu

Jitter *Inter-Symbol Interference (ISI)*

- odbicia od punktów nieciągłości impedancji
- niedopasowanie



przebieg danych na wyjściu toru

linia trendu błędu timingu

Jitter

Periodic Jitter (PJ)

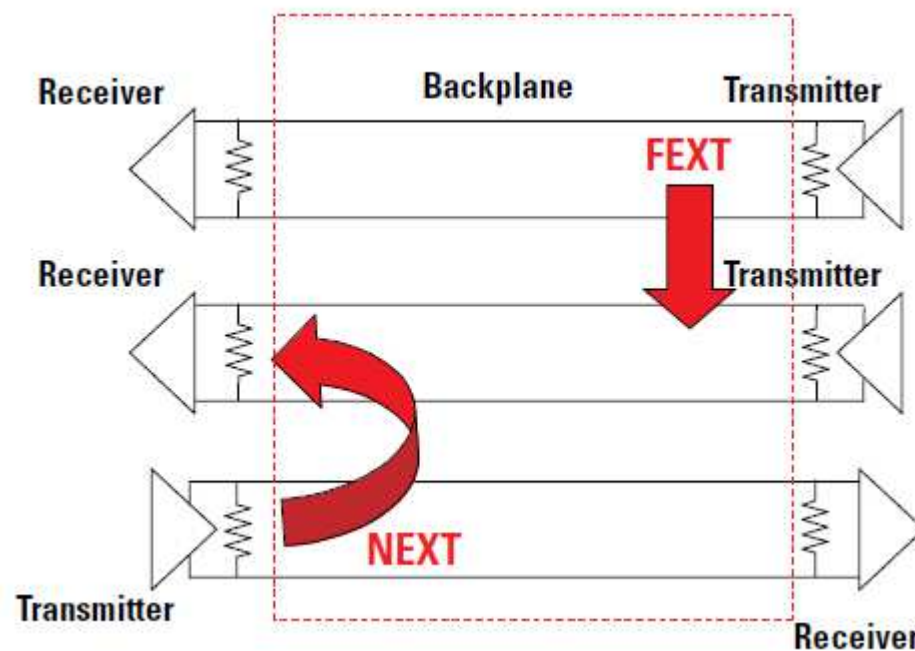
- zjawisko nieskorelowane z danymi
- główne przyczyny: przesłuchy i zakłócenia od przetwornic zasilających
- Spread Spectrum Clocking

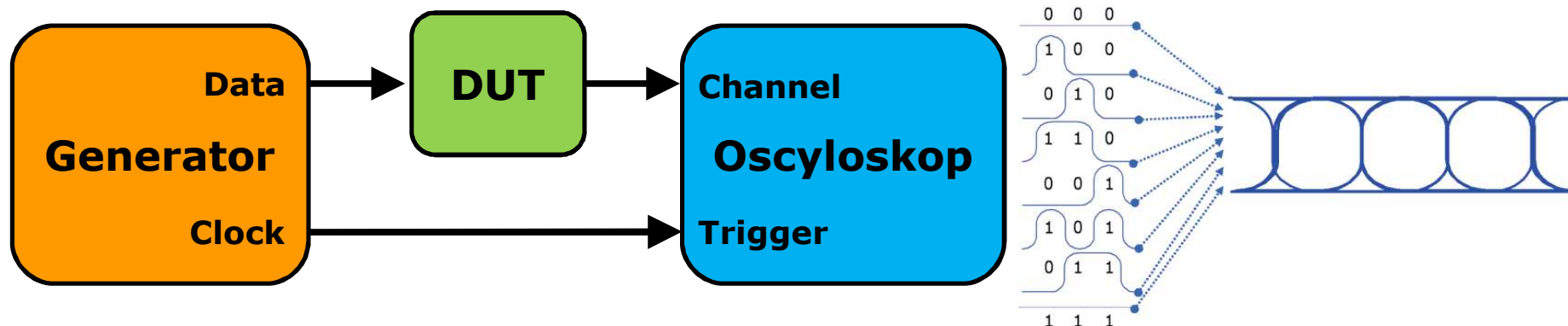


Jitter

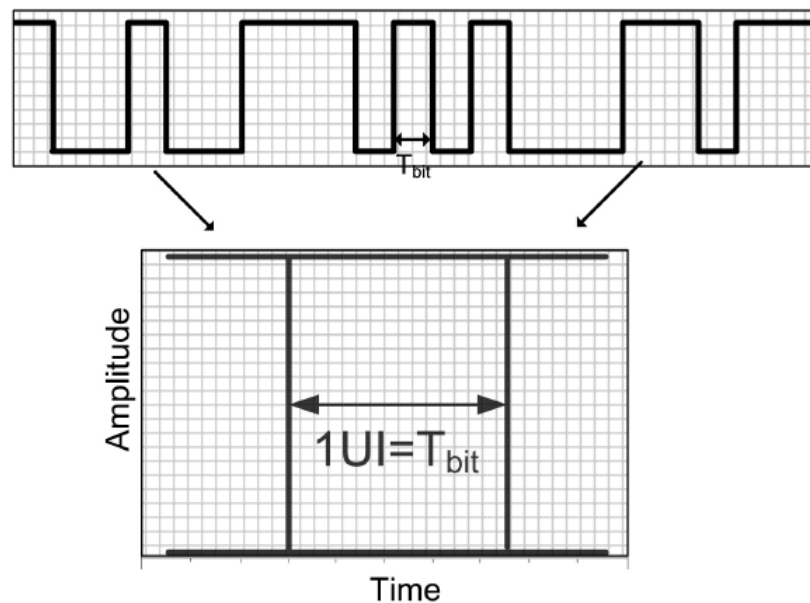
Inne źródła DDJ (*Data Dependent Jitter*)

- nadmierna pojemność wejściowa
⇒ działa podobnie do pojemności przelotek czy konektorów
- przesłuchy

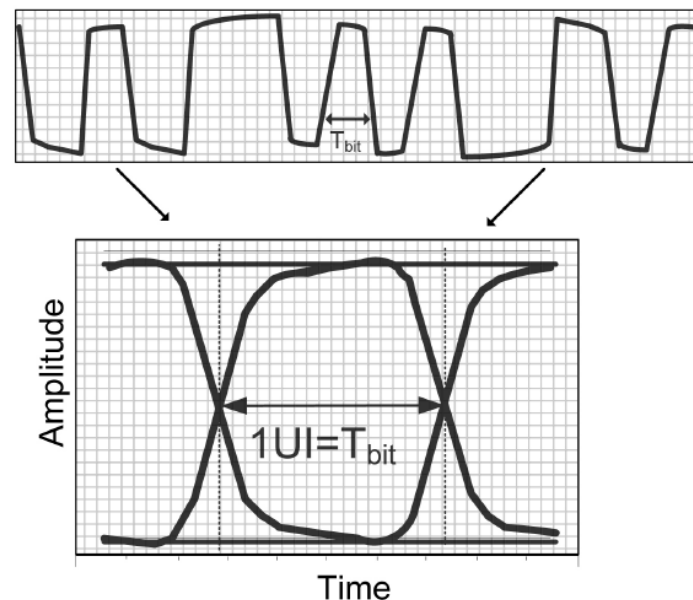


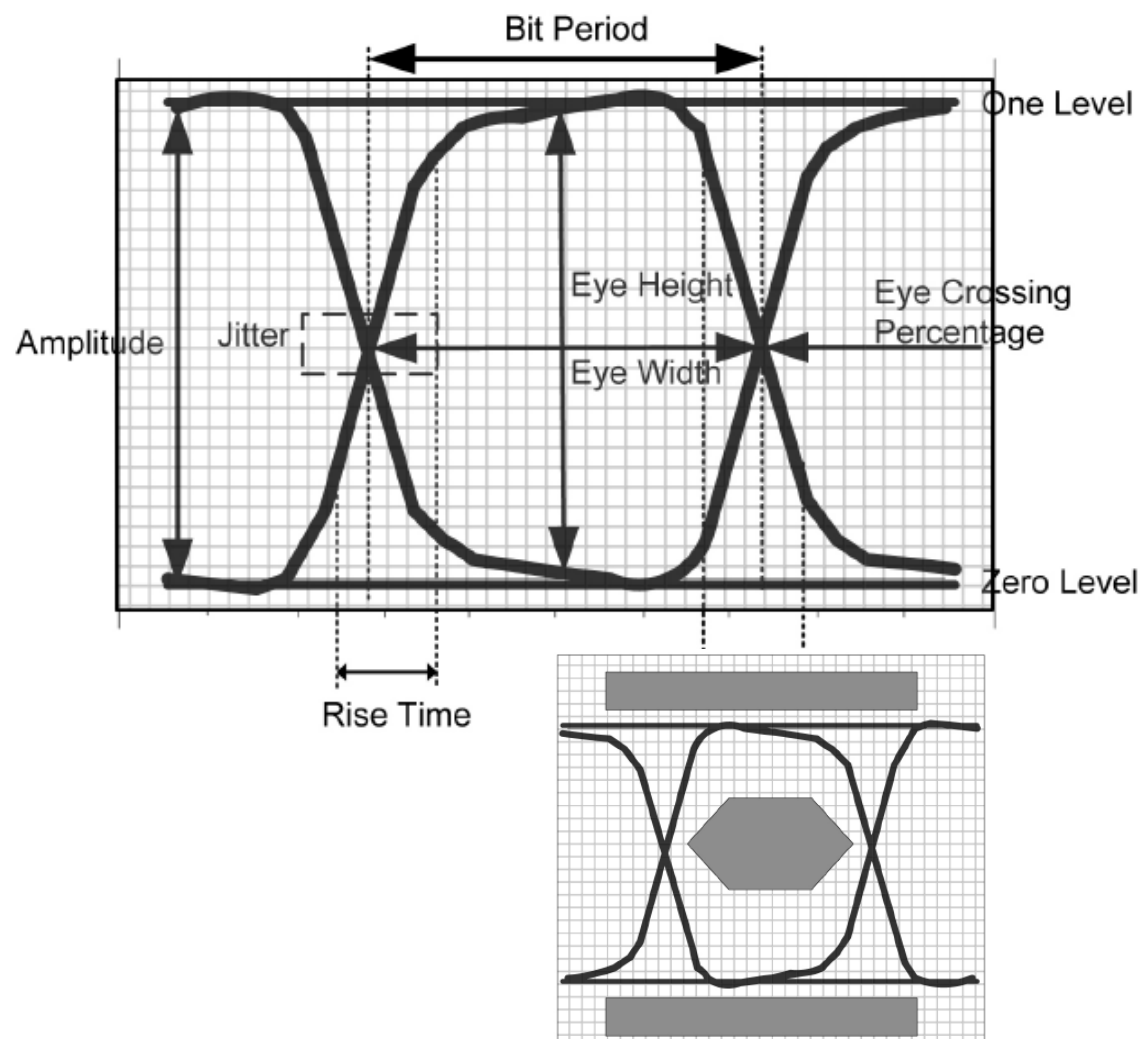


Obraz idealny



Obraz rzeczywisty



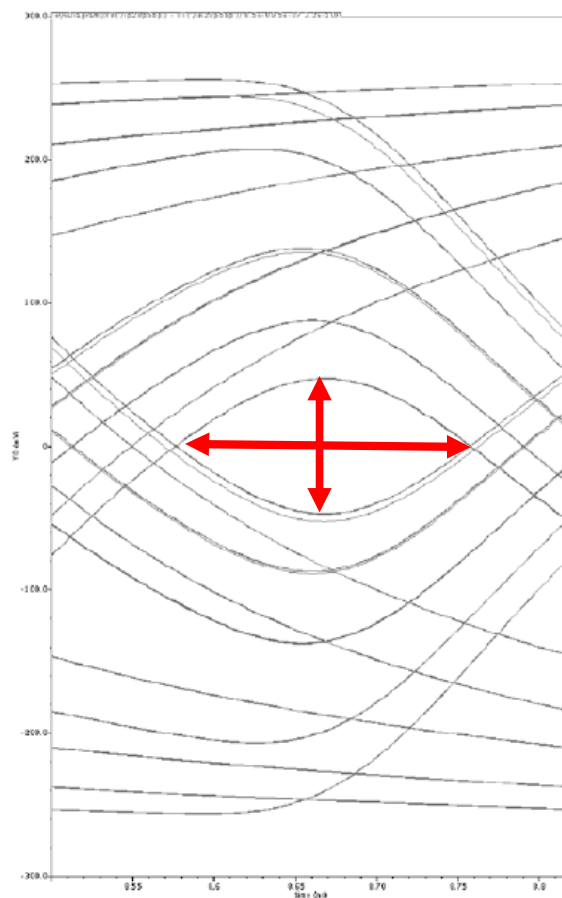
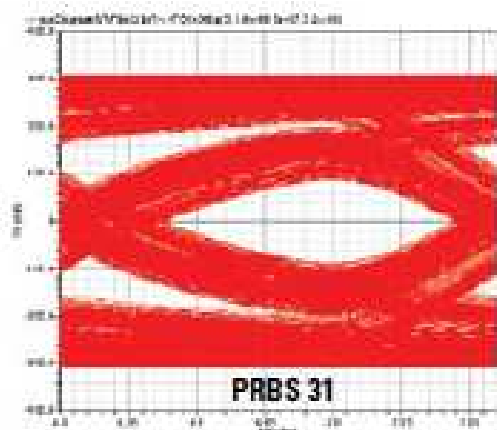
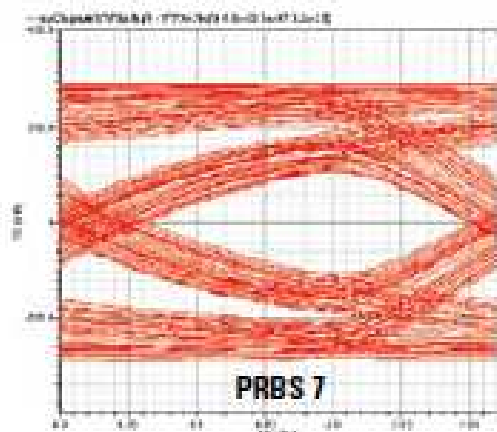


Pomiary amplitudy:

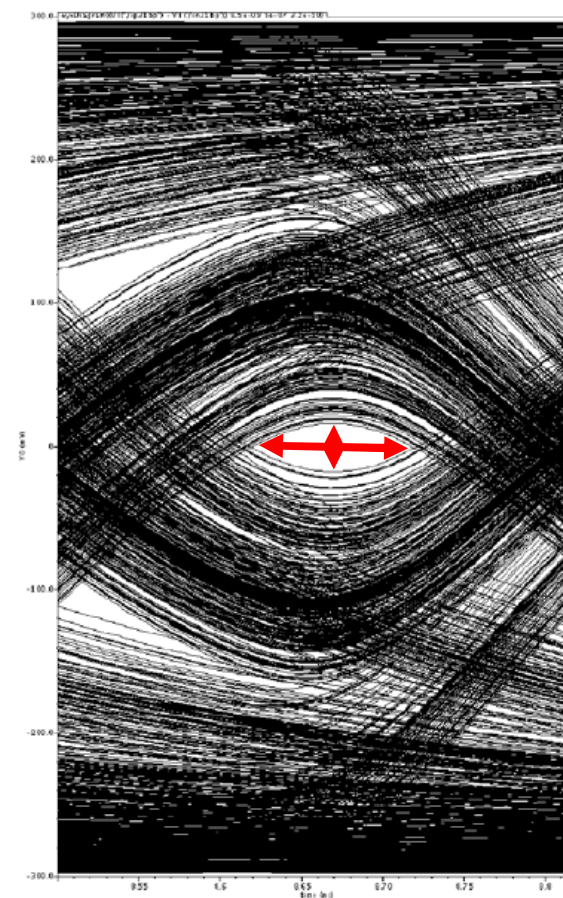
- amplituda oka
- wysokość oka (rozwarcie pionowe)
- amplituda przecięcia oka
- SNR oka
- ...

Pomiary czasu:

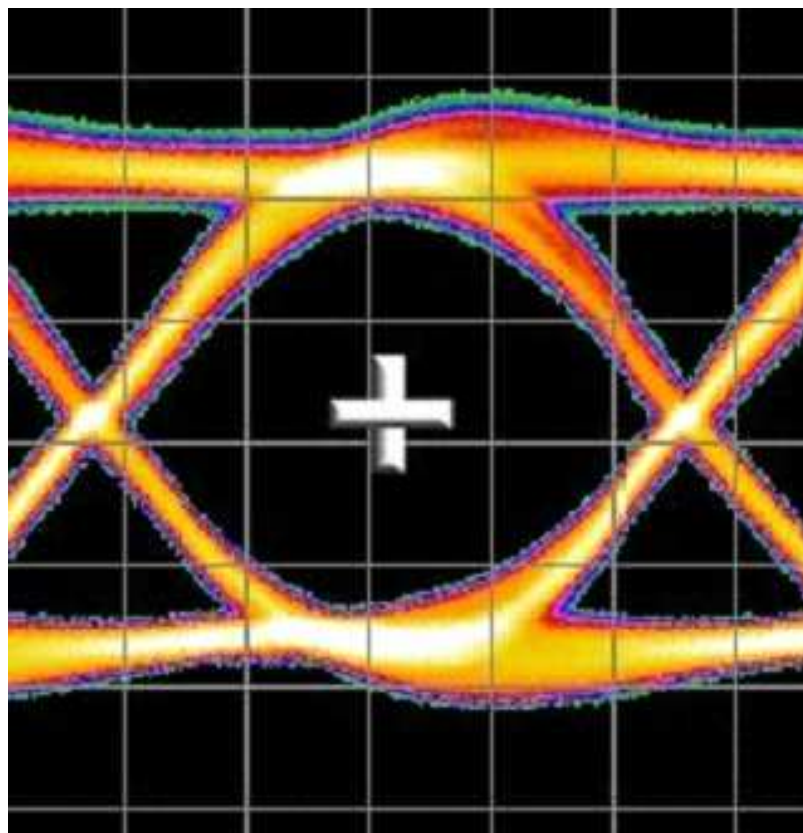
- czas UI
- szerokość oka (rozwarcie poziome)
- czas narastania/opadania
- czas przecięcia oka
- jitter
- ...



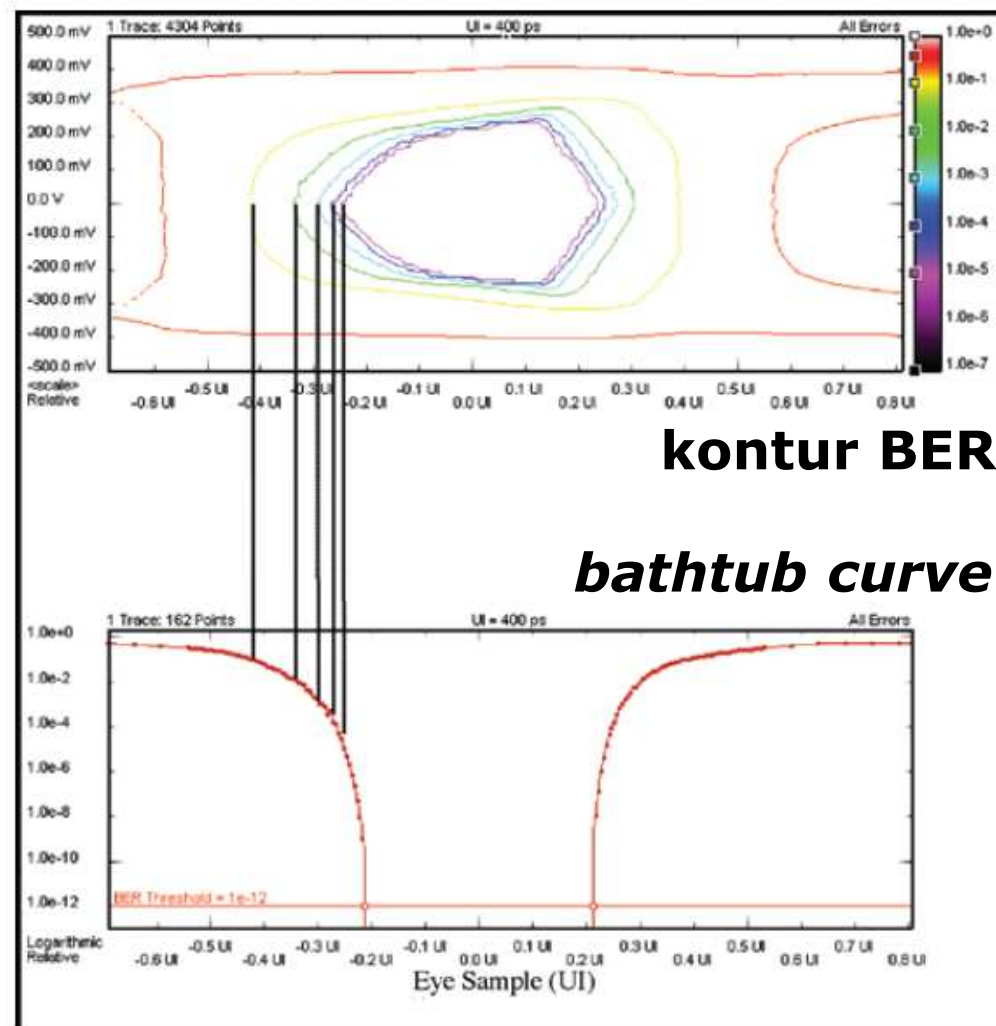
K28.5



PRBS31



gęstość oka

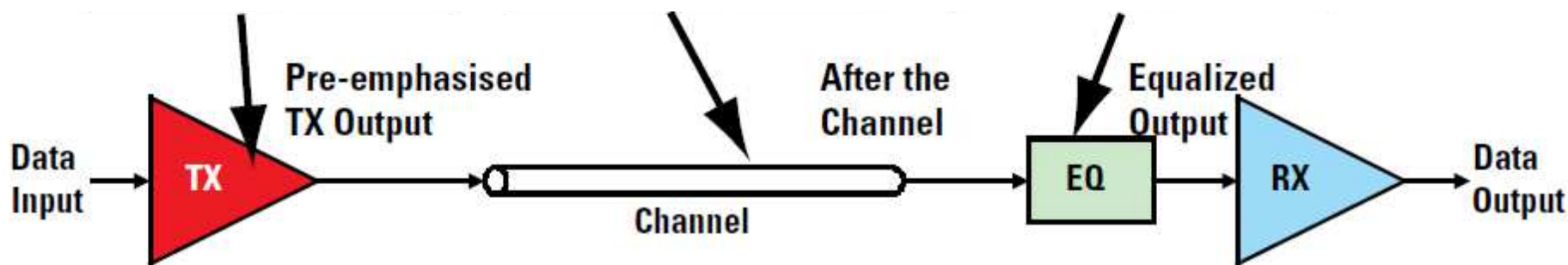


kontur BER

bathtub curve

Kompensacja linii transmisyjnych Pre-Emfaza/De-Emfaza i Equalizacja

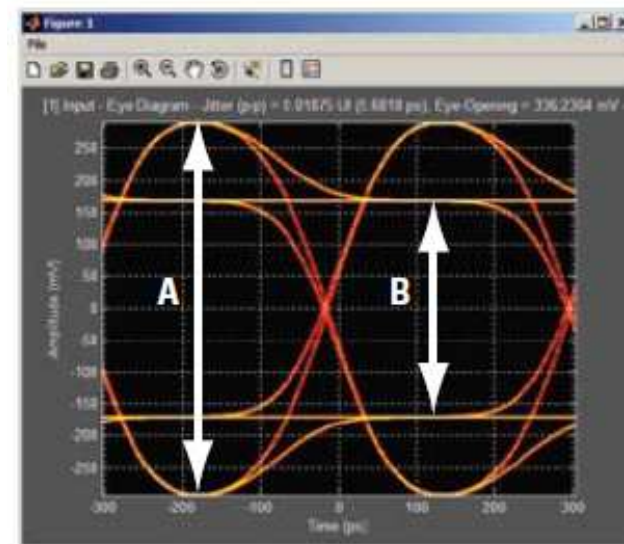
- pre-emfaza – w nadajniku
- equalizacja – w dowolnym punkcie toru



- **Pre-Emfaza (PE)**
Przesterowanie podczas zmiany wartości wyjścia
- **De-Emfaza (DE)**
Stłumienie wartości ustalonej po zmianie wartości wyjścia

Metody

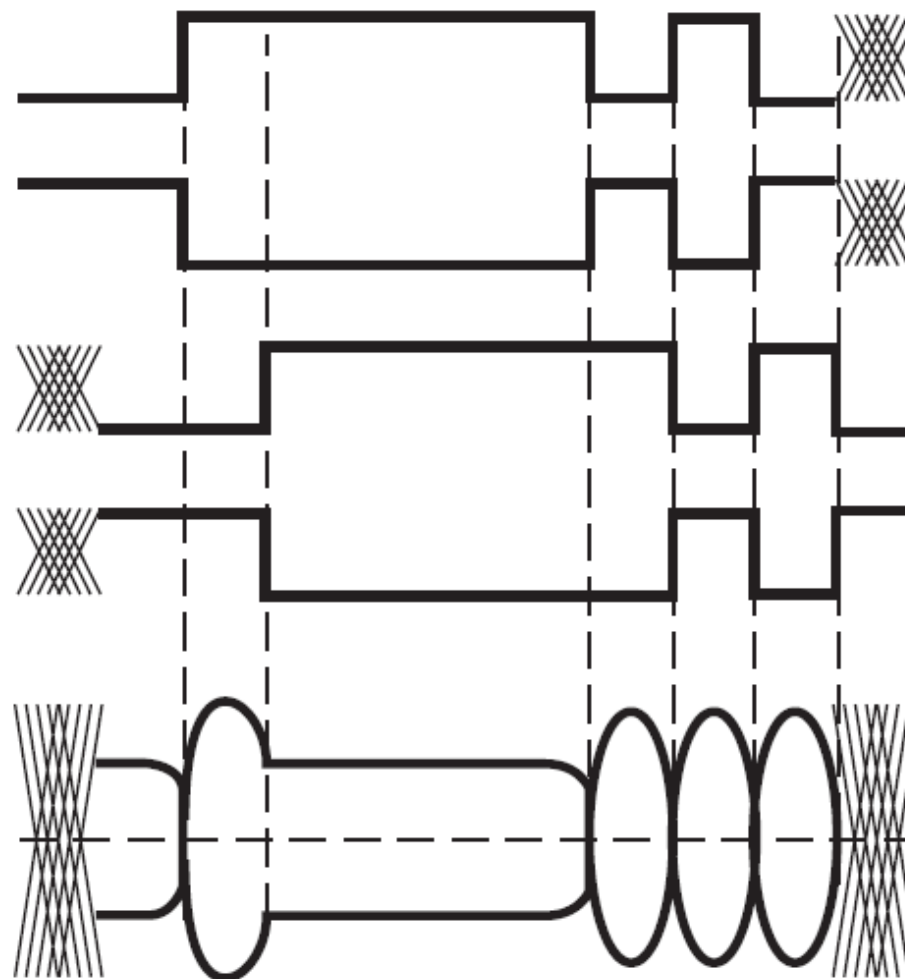
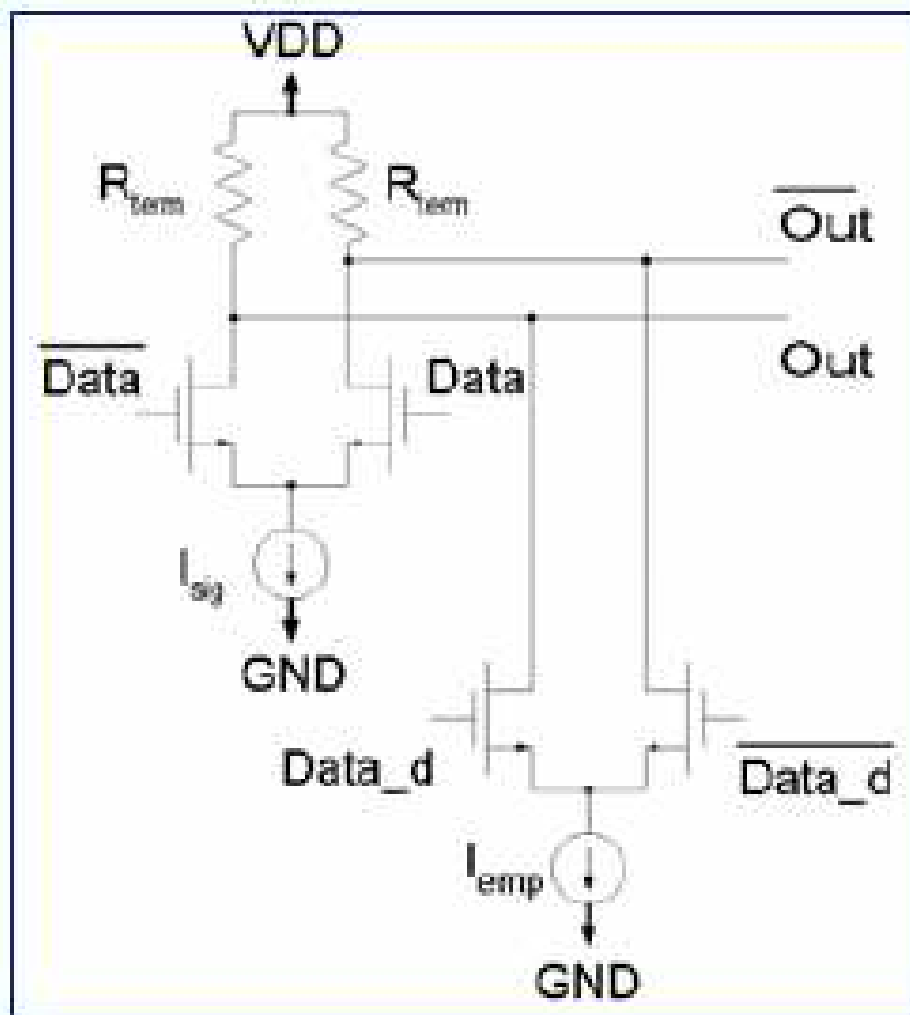
- stała czasowa (0,5...1,0 UI) – ustalona lub nastawiana
- opóźnienie synchroniczne (zależne od zegara – w regeneratorze sygnału konieczny odzysk zegara)



$$PE = 20 \times \log_{10}(A/B): \text{Transmit } V_{OD} = B$$

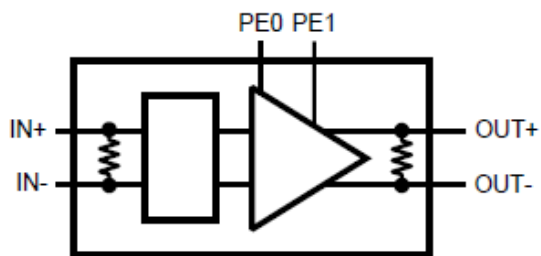
$$DE = 20 \times \log_{10}(B/A): \text{Transmit } V_{OD} = A$$

Criteria	Pre-Emphasis	De-Emphasis
Typical signaling technology	LVDS	CML
Output peak-to-peak amplitude	Increased by PE ratio	Same as without DE
Power consumption	Higher	Same
Typical measurements	Positive dB (+3 dB)	Negative dB (-3 dB)
Receive eye opening	Same as without PE	Reduced by DE ratio



Kompensacja linii transmisyjnych Pre-emfaza

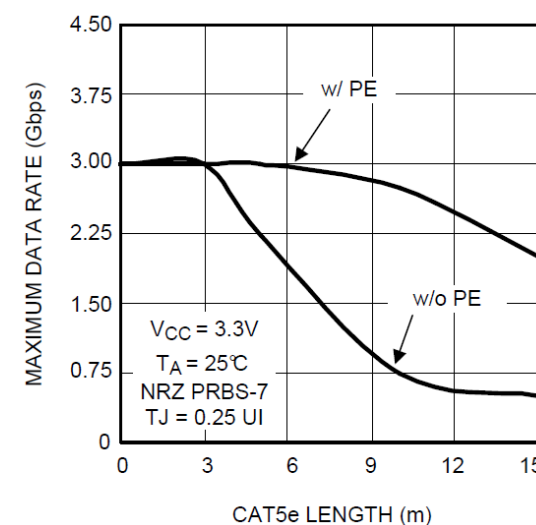
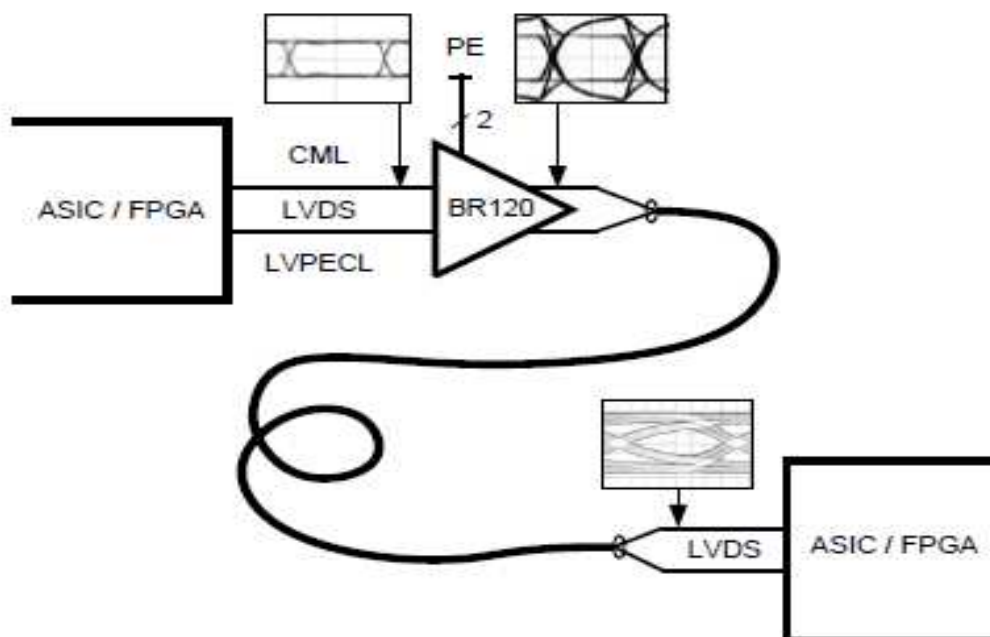
DS25BR120 – 3.125 Gbps LVDS Buffer with Transmit Pre-Emphasis



- DC to 3.125Gbps
- 4 levels of transmit pre-emphasis
- on-chip input and output termination 100R
- LVDS, CML, LVPECL inputs
- $V_{CC} = 3.3V$ / $I_{CC} = 35mA$
- small case



3.0 x 3.0 mm footprint

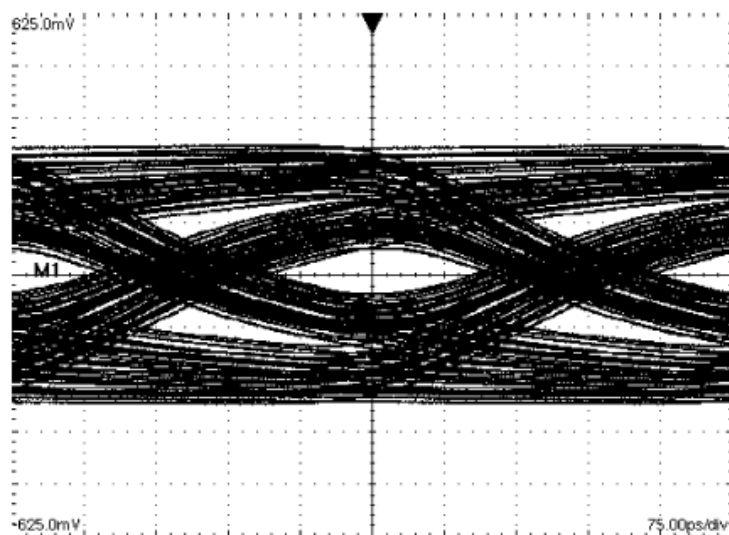


Kompensacja linii transmisyjnych Pre-emfaza

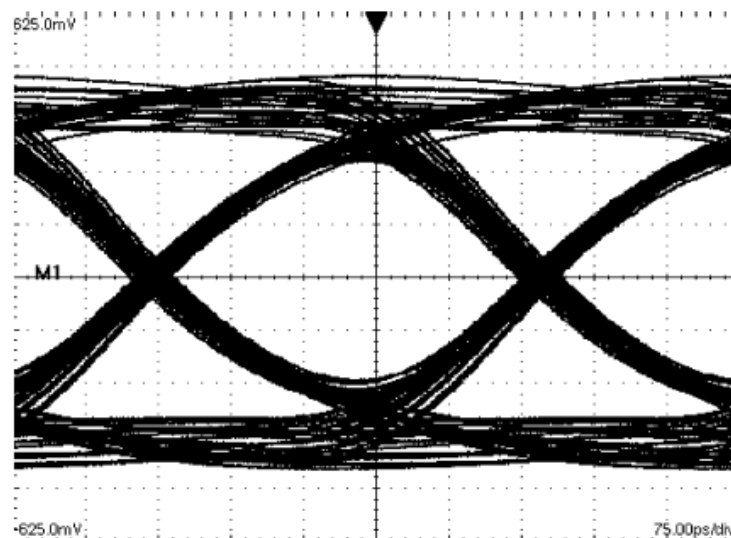
DS25BR120 – 3.125 Gbps LVDS Buffer with Transmit Pre-Emphasis

2.5 Gbps NRZ PRBS-7 after 40" differential FR-4 stripline
V: 125mV/DIV, H: 75ps/DIV

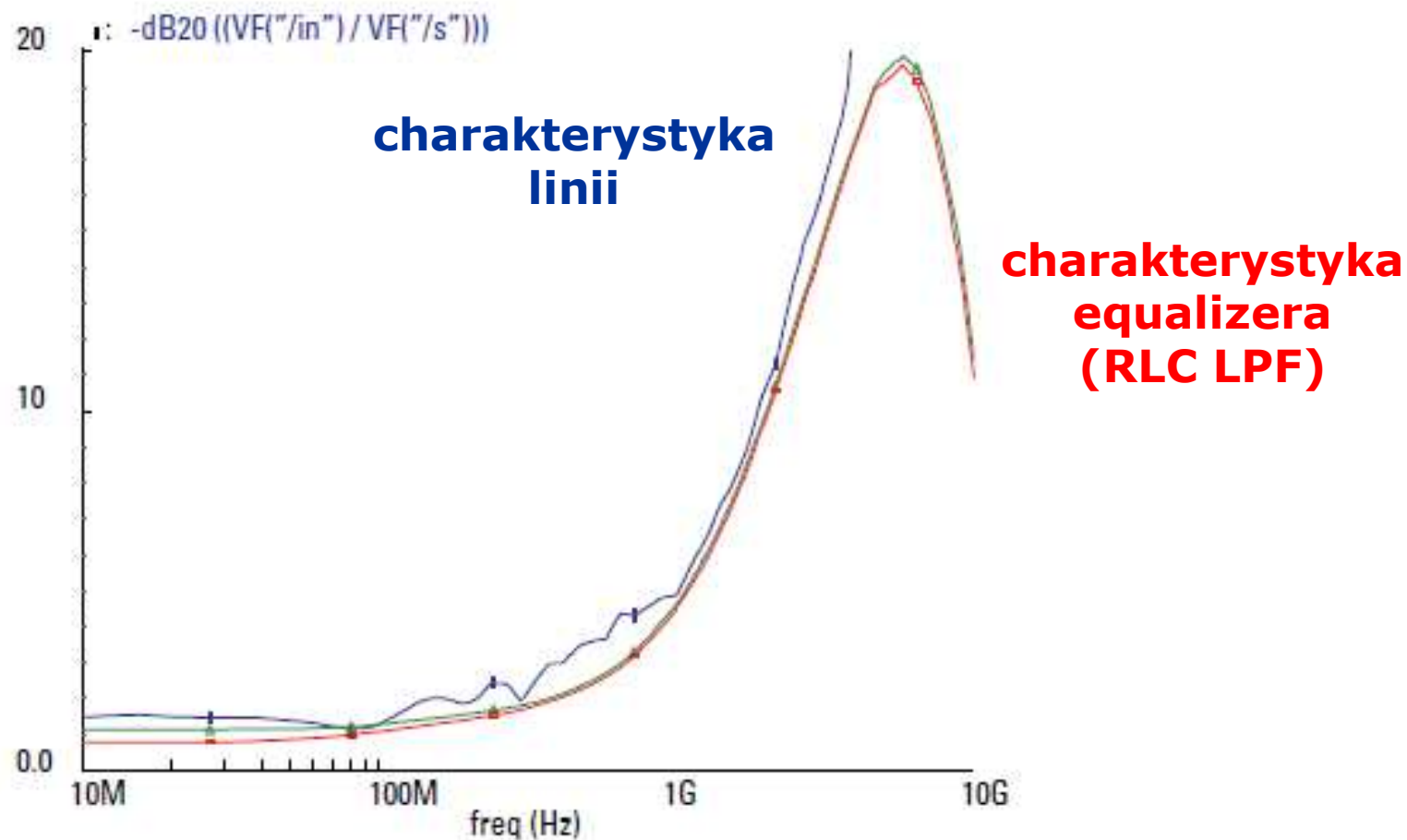
without PE



with PE

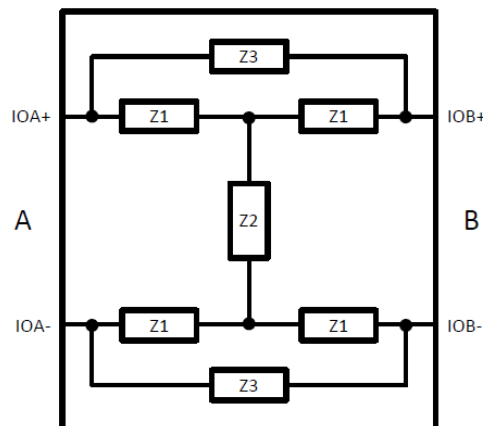


Kompensacja linii transmisyjnych Equalizacja



Kompensacja linii transmisyjnych Equalizacja

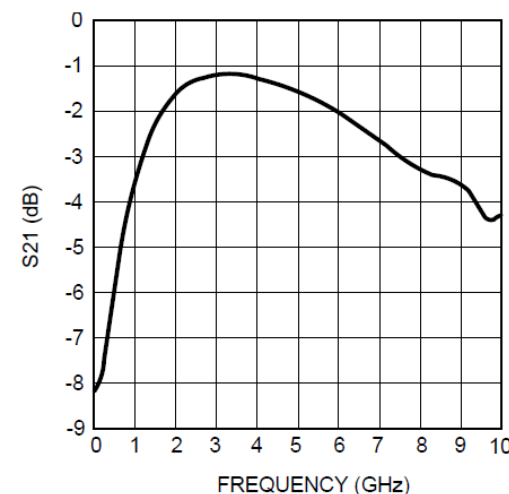
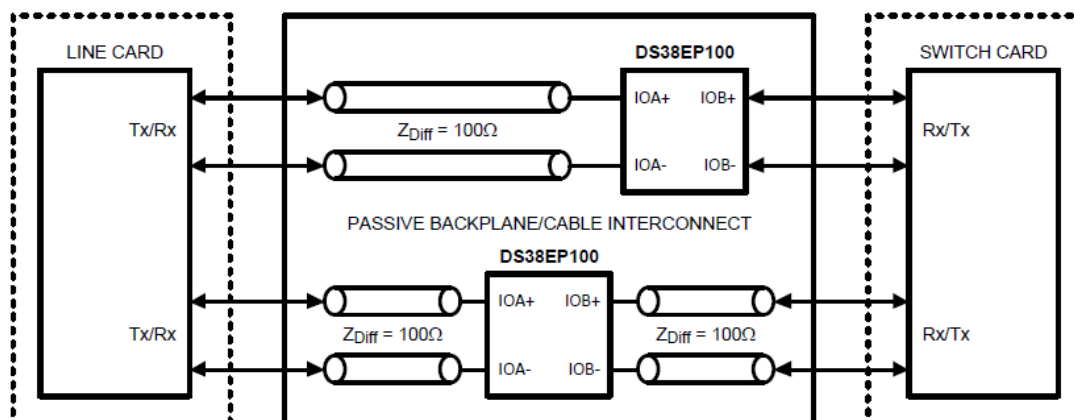
DS38EP100 – 1 to 5 Gbps Power-Saver Equalizer for Backplanes and Cables



- 1 to 5 Gbps
- no power nor ground
- can be placed anywhere in the datapath
- LVDS, CML, LVPECL
- code independent
- symmetric for bi-directional operation
- small case



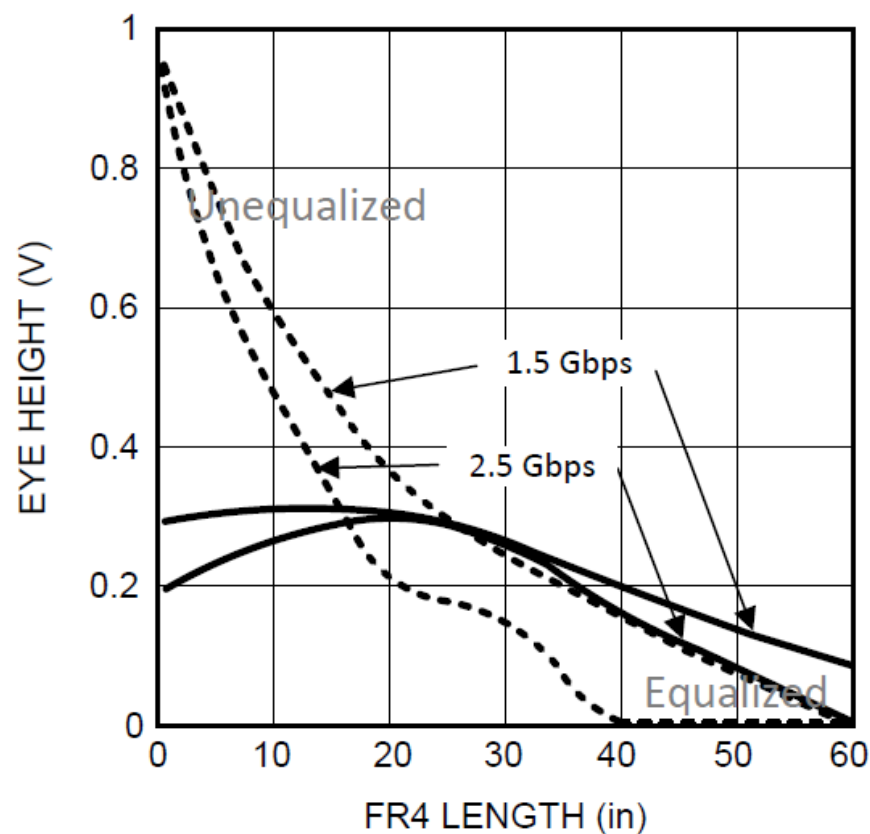
2.2 x 2.5 mm footprint



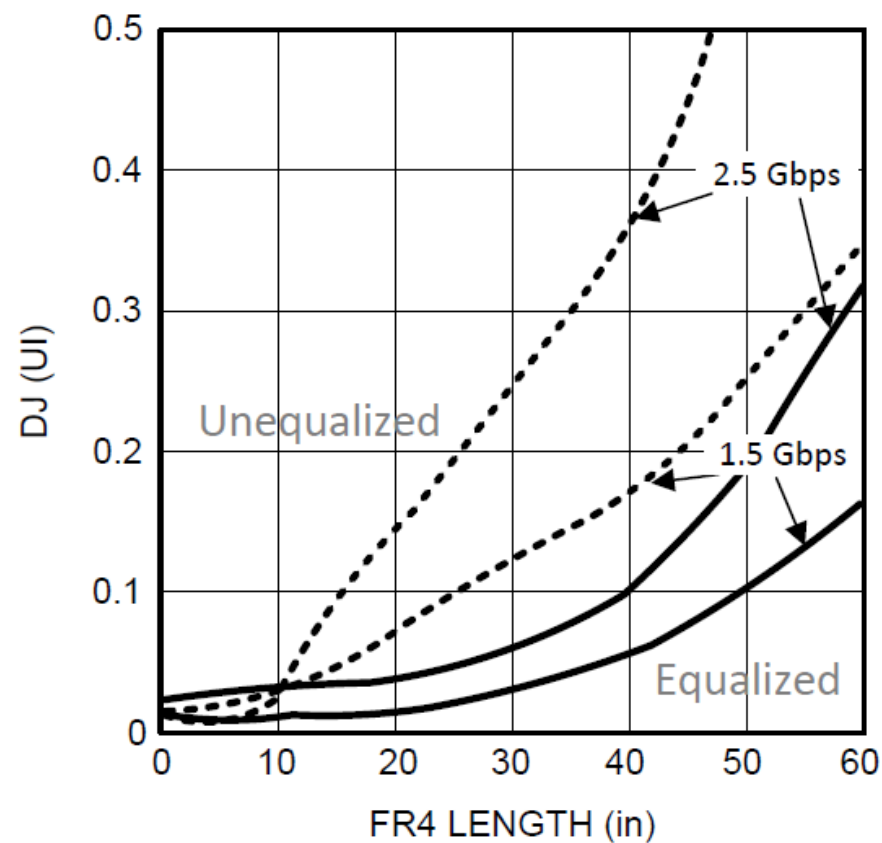
Kompensacja linii transmisyjnych Equalizacja

DS38EP100 – 1 to 5 Gbps Power-Saver Equalizer for Backplanes and Cables

Eye Height vs. FR4 Length

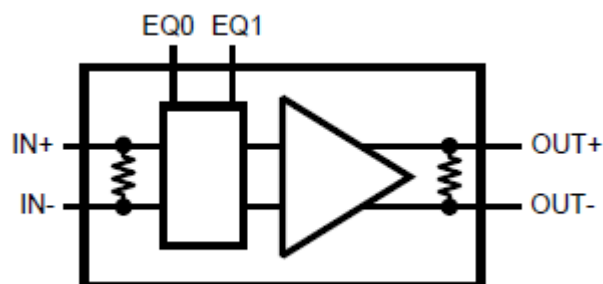


Deterministic Jitter vs. FR4 Length



Kompensacja linii transmisyjnych Equalizacja

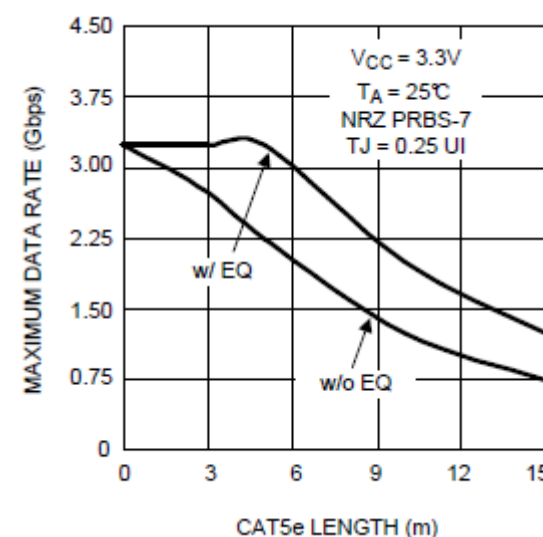
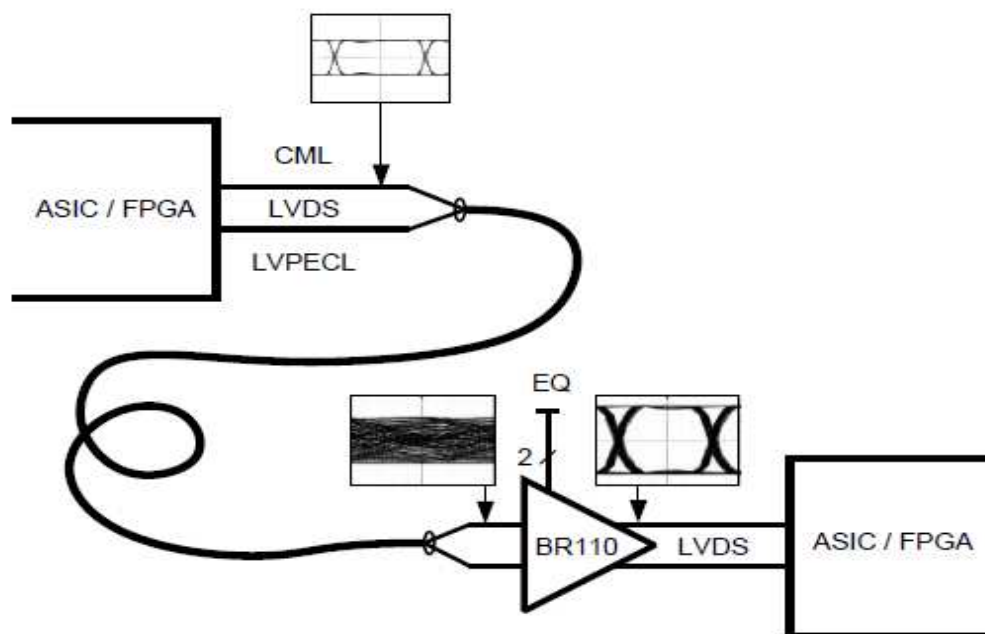
DS25BR110 – 3.125 Gbps LVDS Buffer with Receive Equalization



- DC to 3.125Gbps
- 4 levels of receive equalization
- on-chip input and output termination 100R
- LVDS, CML, LVPECL inputs
- $V_{CC} = 3.3V$ / $I_{CC} = 35mA$
- small case



3.0 x 3.0 mm footprint

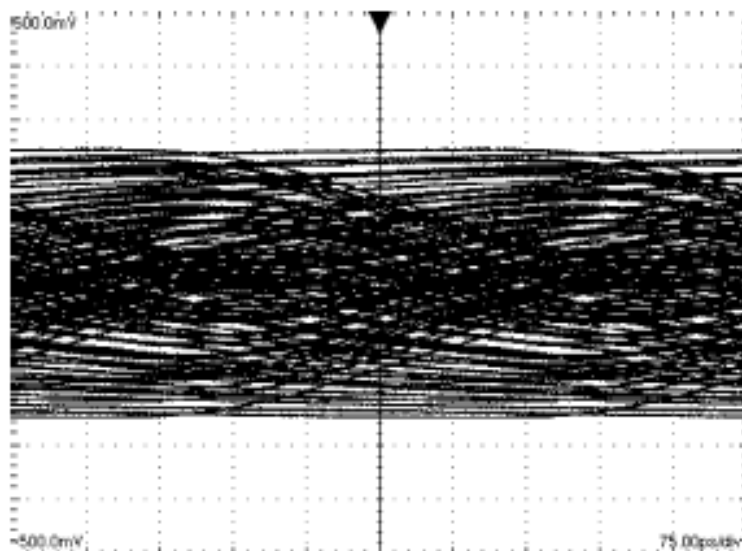


Kompensacja linii transmisyjnych Equalizacja

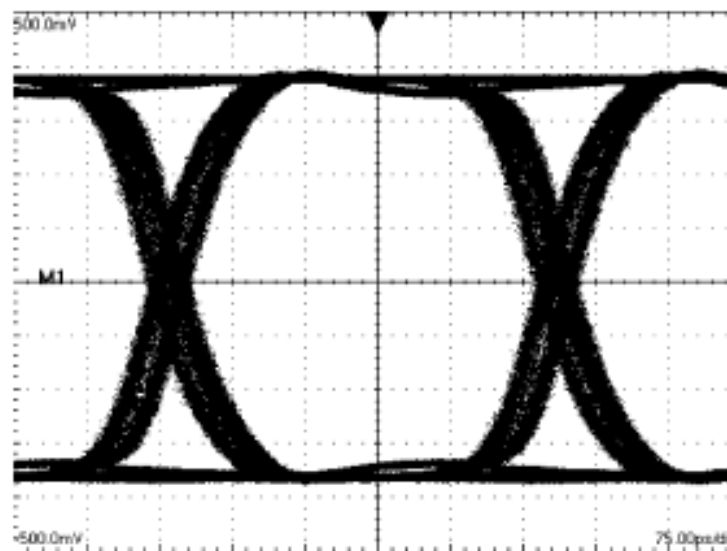
DS25BR110 – 3.125 Gbps LVDS Buffer with Receive Equalization

2.5 Gbps NRZ PRBS-7 after 70" differential FR-4 stripline
V: 100mV/DIV, H: 75ps/DIV

without EQ



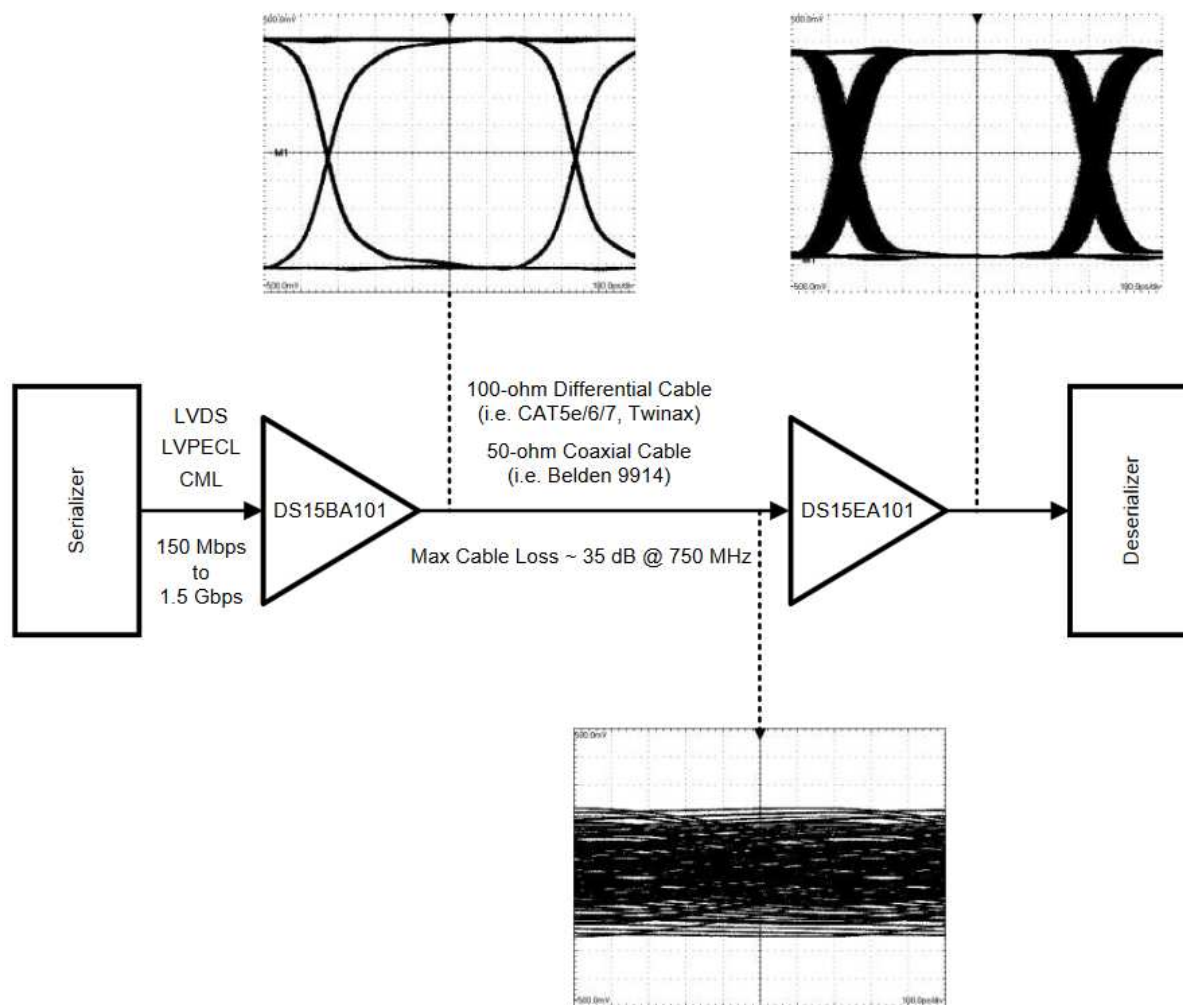
with EQ



Kompensacja linii transmisyjnych Bufor + Equalizacja

DS15BA100 – 1.5 Gbps Differential Buffer with Adjustable Output Voltage

DS15EA100 – 1.5 Gbps Adaptive Cable Equalizer with LOS Detection



Features:

- DC/150Mbps to 1.5Gbps
- Single-ended / Differential
- Coaxial / Twin-Ax / Twisted
- LVDS / CML / LVPECL
- 150 + 210 mW
- Space-saving Package

Applications:

- Cable Extention
- Level Translation
- Security Cameras
- Remote Display Panels

Kompensacja linii transmisyjnych

Bufor + Equalizacja

DS15BA100 – 1.5 Gbps Differential Buffer with Adjustable Output Voltage

DS15EA100 – 1.5 Gbps Adaptive Cable Equalizer with LOS Detection

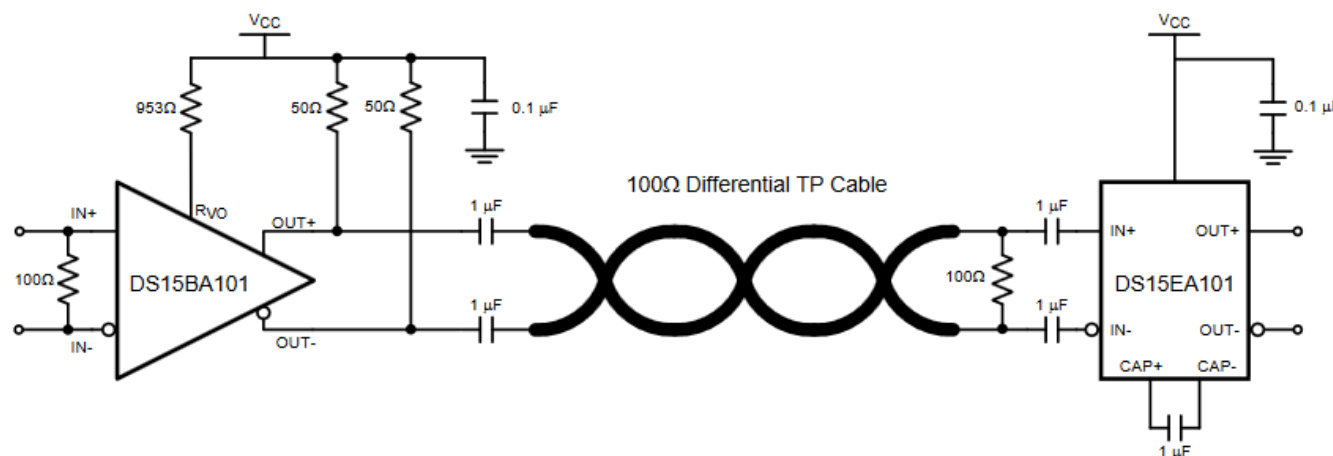
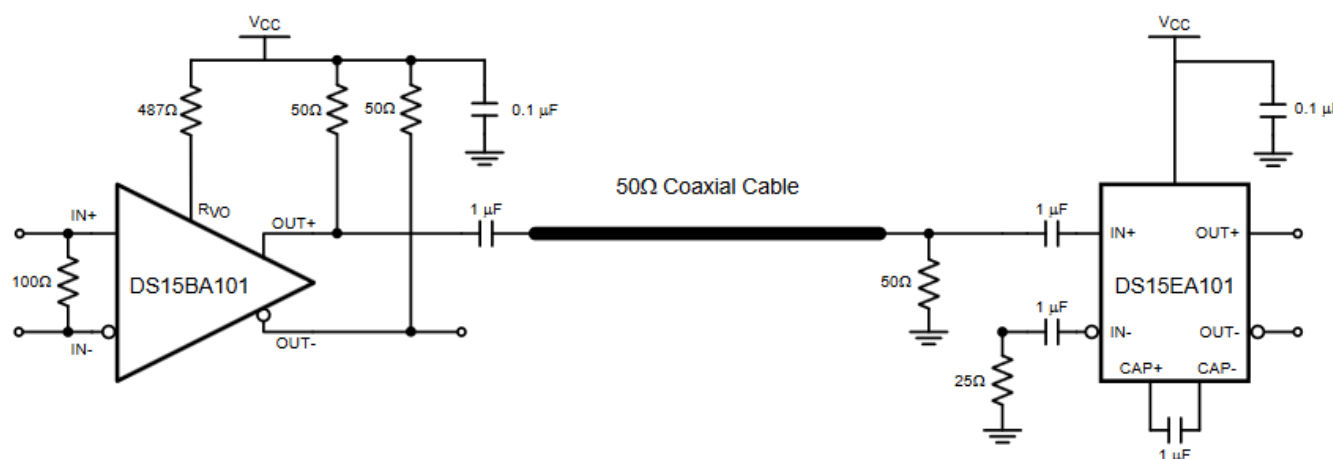


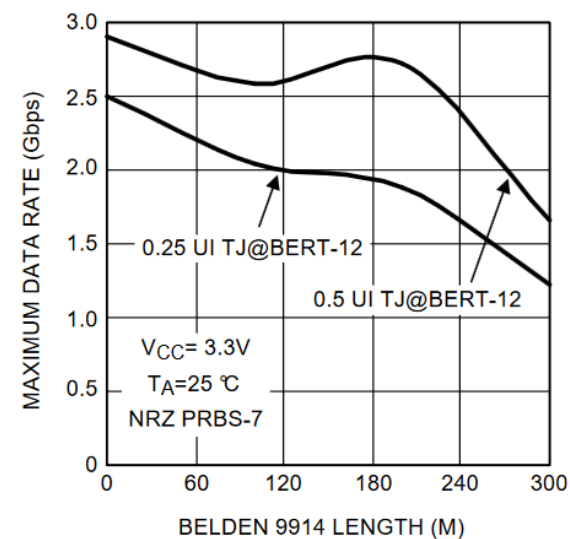
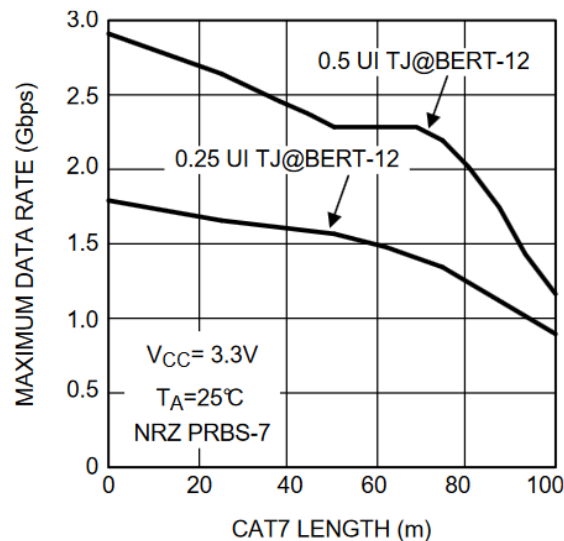
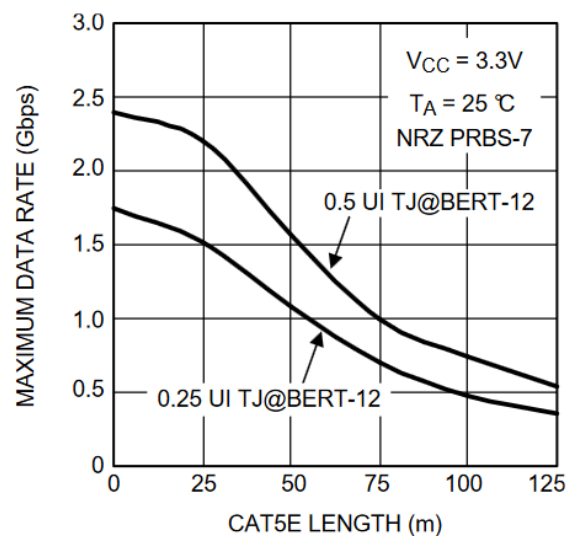
Figure 3. Cable Extender Chipset Connection Diagram for 100Ω Differential Cables



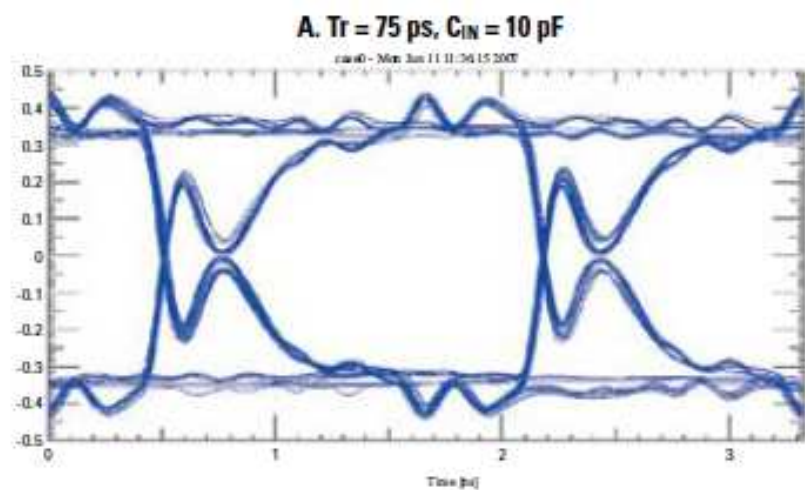
Kompensacja linii transmisyjnych Bufor + Equalizacja

DS15BA100 – 1.5 Gbps Differential Buffer with Adjustable Output Voltage

DS15EA100 – 1.5 Gbps Adaptive Cable Equalizer with LOS Detection



Eliminacja odbić Dobór odbiornika



Xilinx Spartan-6

Table 10: Differential I/O Standard DC Input and Output Levels

I/O Standard	V_{ID}		V_{ICM}		V_{OD}		V_{OCM}	
	mV, Min	mV, Max	V, Min	V, Max	mV, Min	mV, Max	V, Min	V, Max
LVDS_33 ⁽²⁾⁽³⁾	100	600	0.3	2.35	247	454	1.125	1.375
LVDS_25 ⁽²⁾⁽³⁾	100	600	0.3	2.35	247	454	1.125	1.375

Table 4: DC Characteristics Over Recommended Operating Conditions

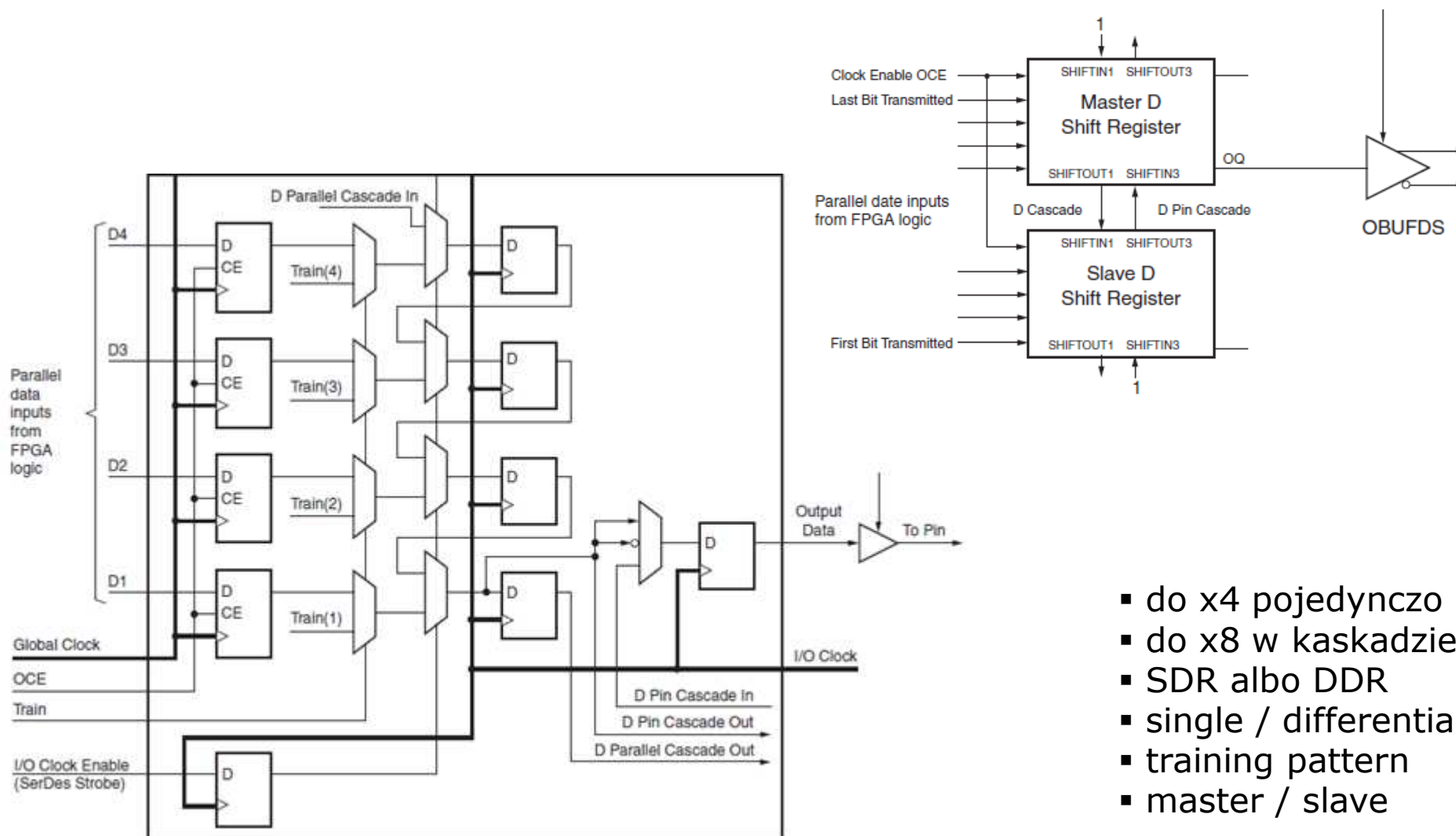
Symbol	Description	Min	Typ	Max	Units
$C_{IN}^{(1)}$	Die input capacitance at the pad	–	–	10	pF

Notes:

1. The C_{IN} measurement represents the die capacitance at the pad, not including the package.

DS25BR110 3.125 Gbps LVDS Buffer with Receive Equalization

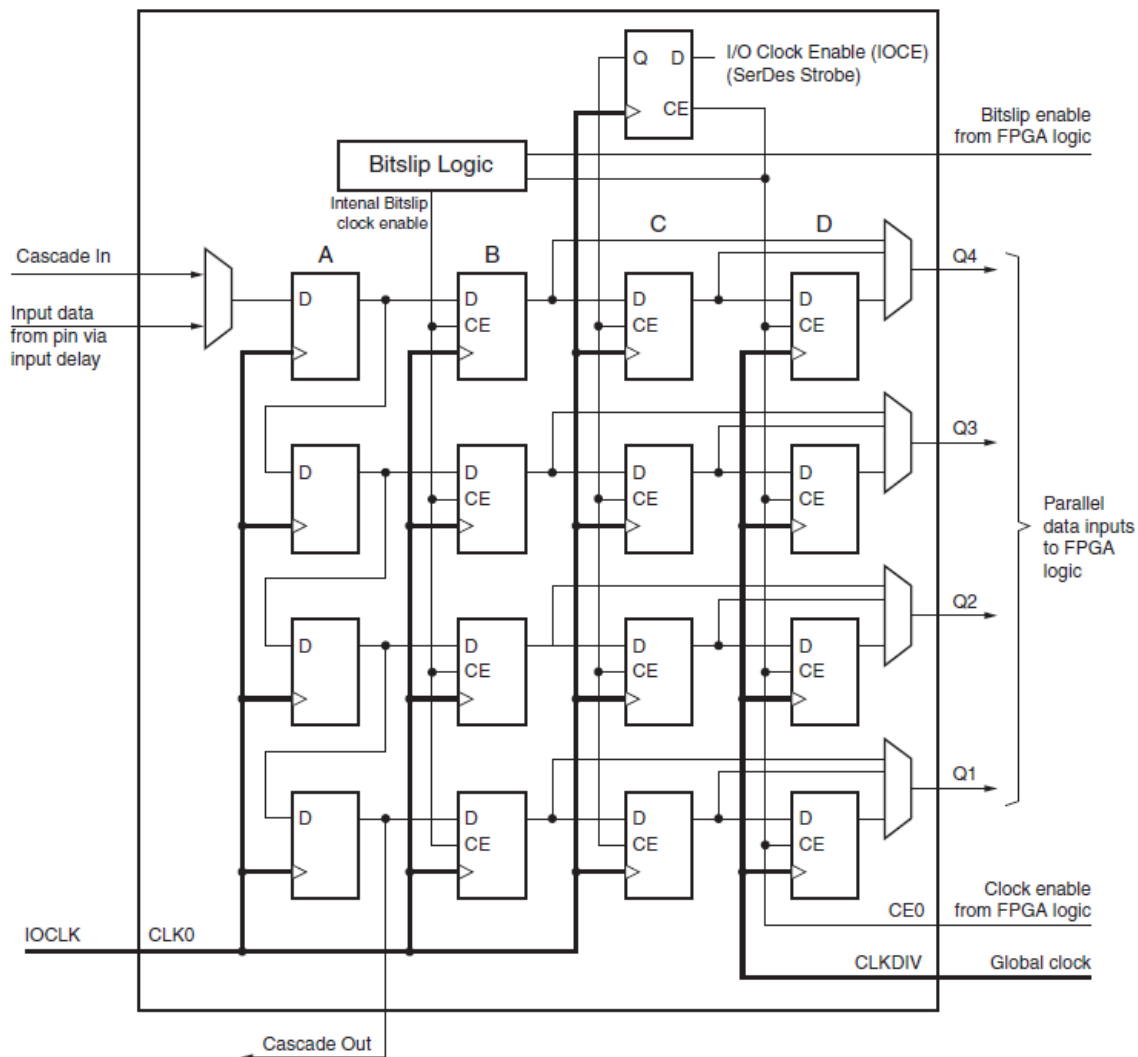
Parameter	Test Conditions	Min	Typ	Max	Units
LVDS INPUT DC SPECIFICATIONS (IN+, IN-)					
V_{TH}	Differential Input High Threshold	$V_{CM} = +0.05V$ or $V_{CC}-0.05V$	0	+100	mV
V_{TL}	Differential Input Low Threshold	-100	0		mV
C_{IN}	Input Capacitance	Any LVDS Input Pin to GND	1.7		pF



- do x4 pojedynczo
- do x8 w kaskadzie
- SDR albo DDR
- single / differential
- training pattern
- master / slave

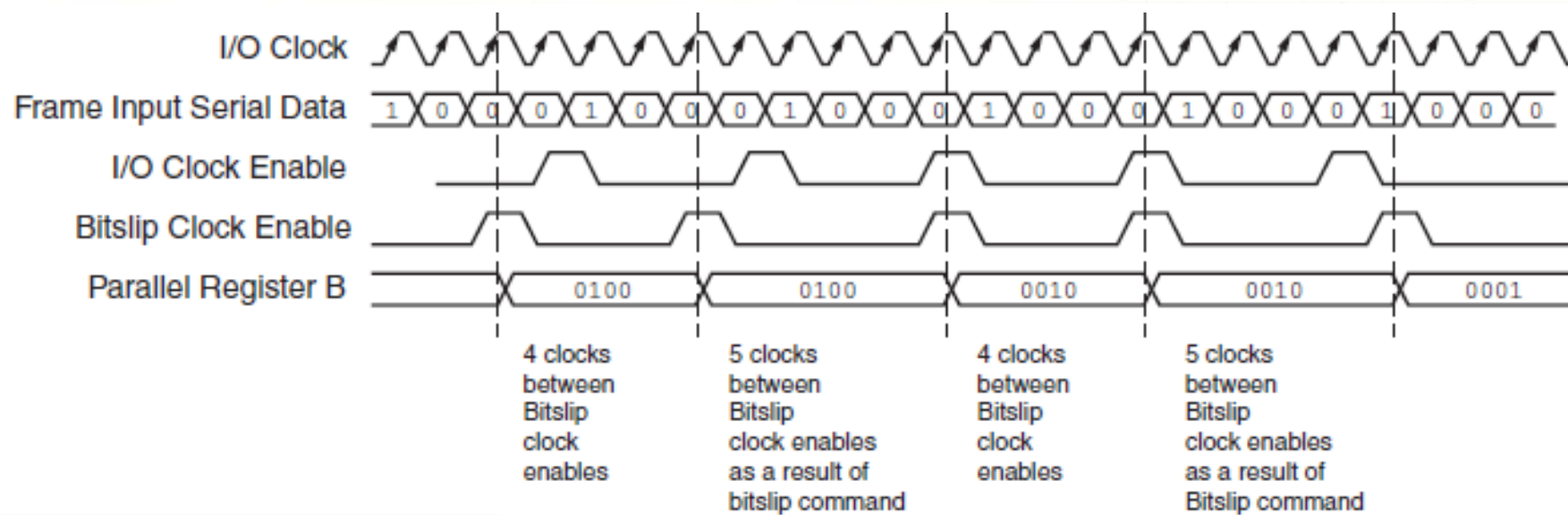
Interfejsy multimegabitowe Spartan-6 ISerDes

- do x4 pojedynczo
- do x8 w kaskadzie
- SDR albo DDR
- single / differential
- master / slave
- bitslip
- B/C/D stage outputs



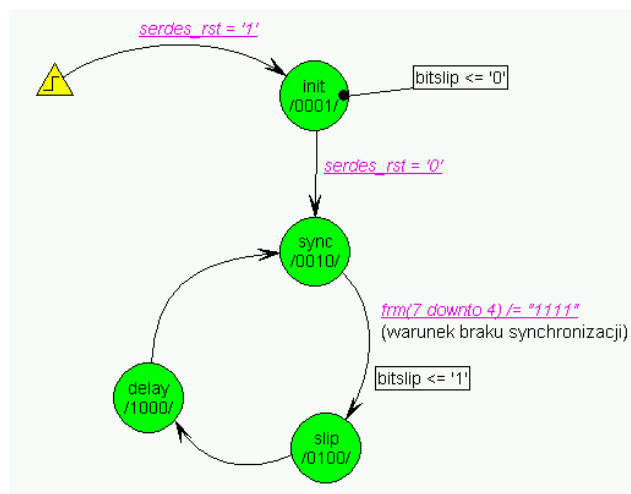
Interfejsy multimegabitowe

Spartan-6 ISerDes

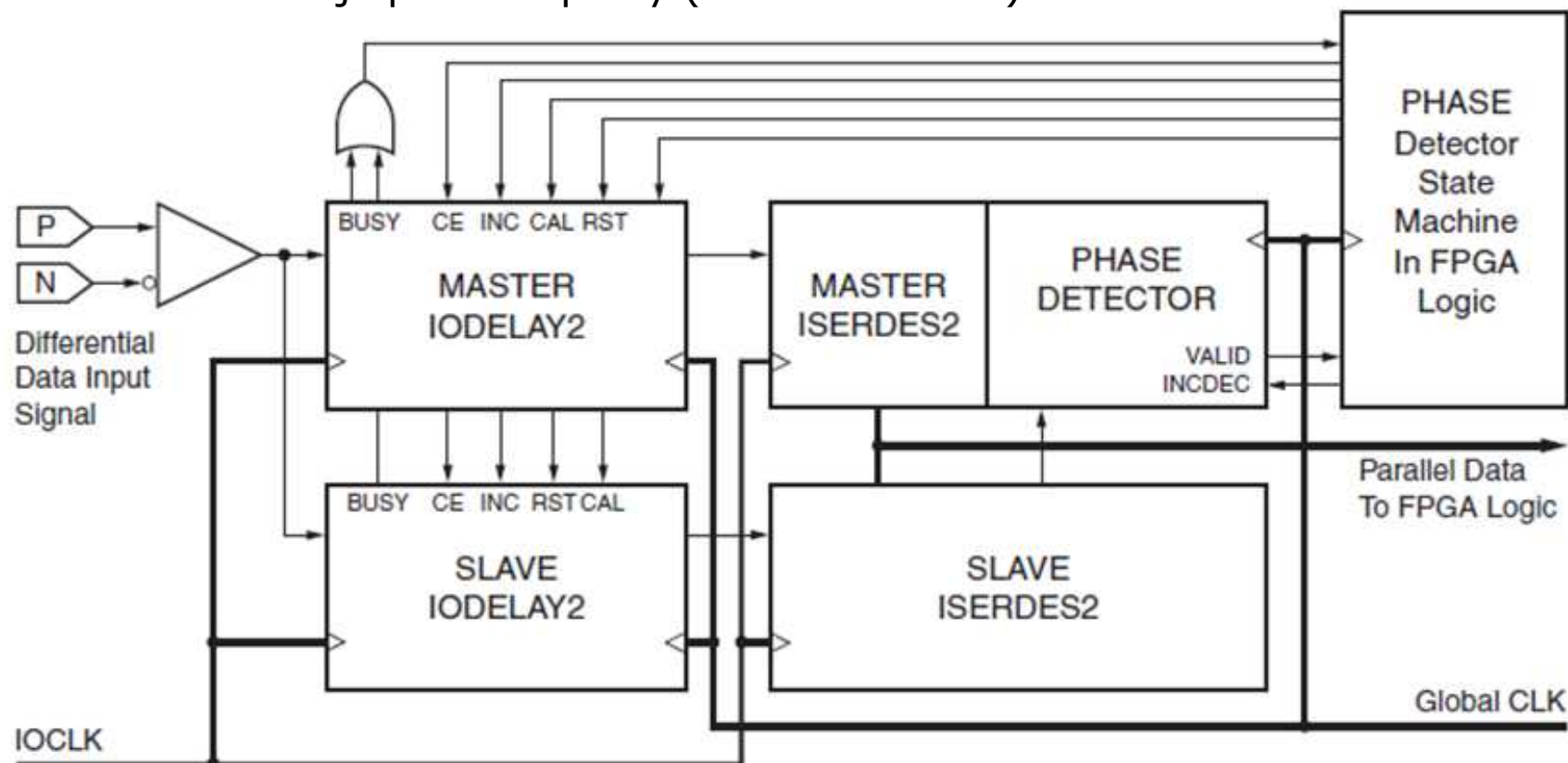


Bitslip command issued (synchronous to global clock)

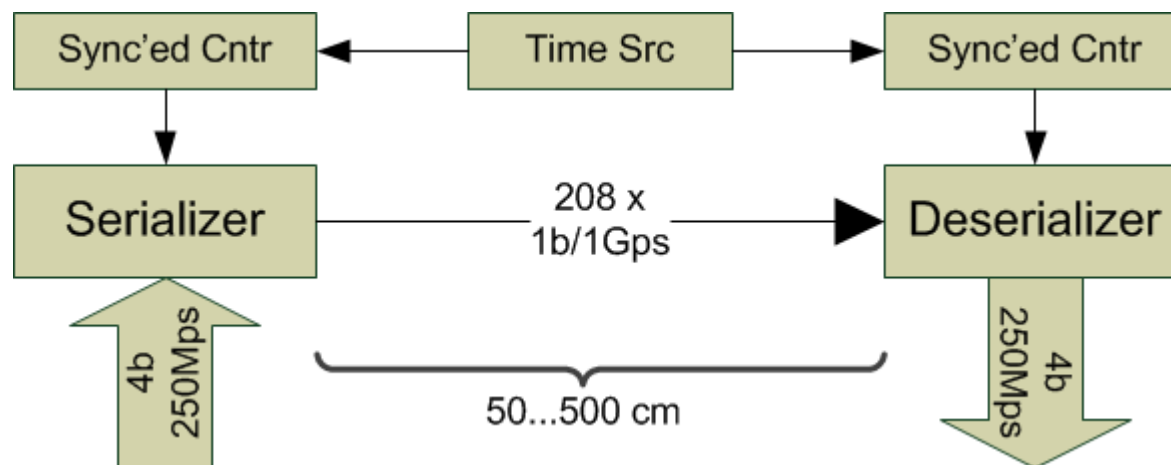
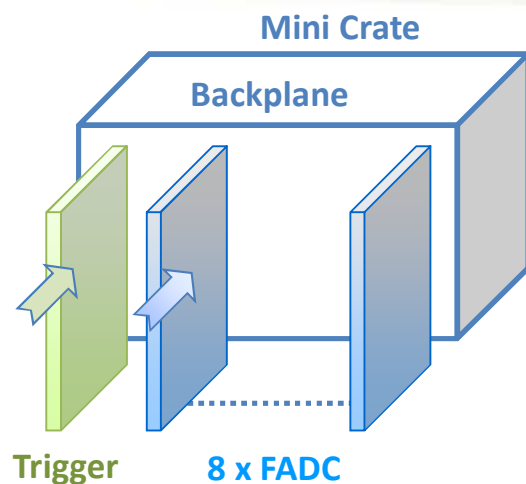
Bitslip command issued (synchronous to global clock)



- IODELAY: 256 taps $\times$ ~ 30 ps
- brak kompensacji temperaturowej
- kalibracja nastaw IODELAY stosownie do UI
- bezstratna rekalkulacja podczas pracy (master $\Rightarrow$ slave)



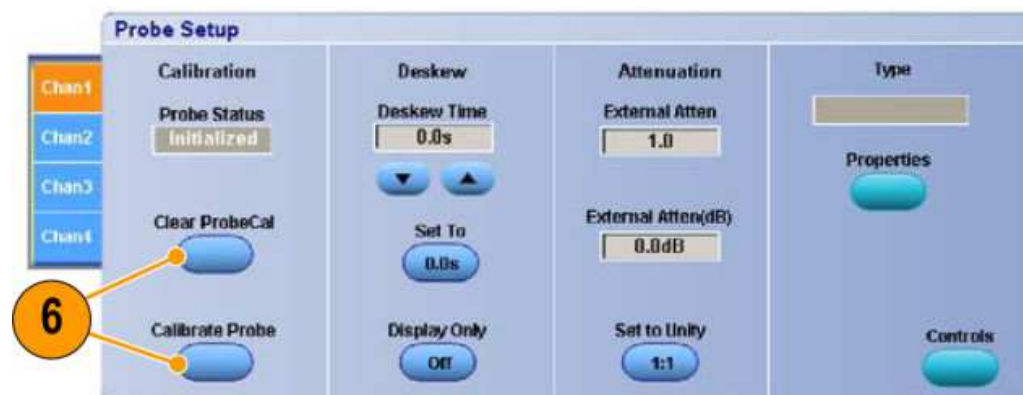
Interfejsy multimegabitowe Spartan-6 ISerDes/OSerDes – przykład

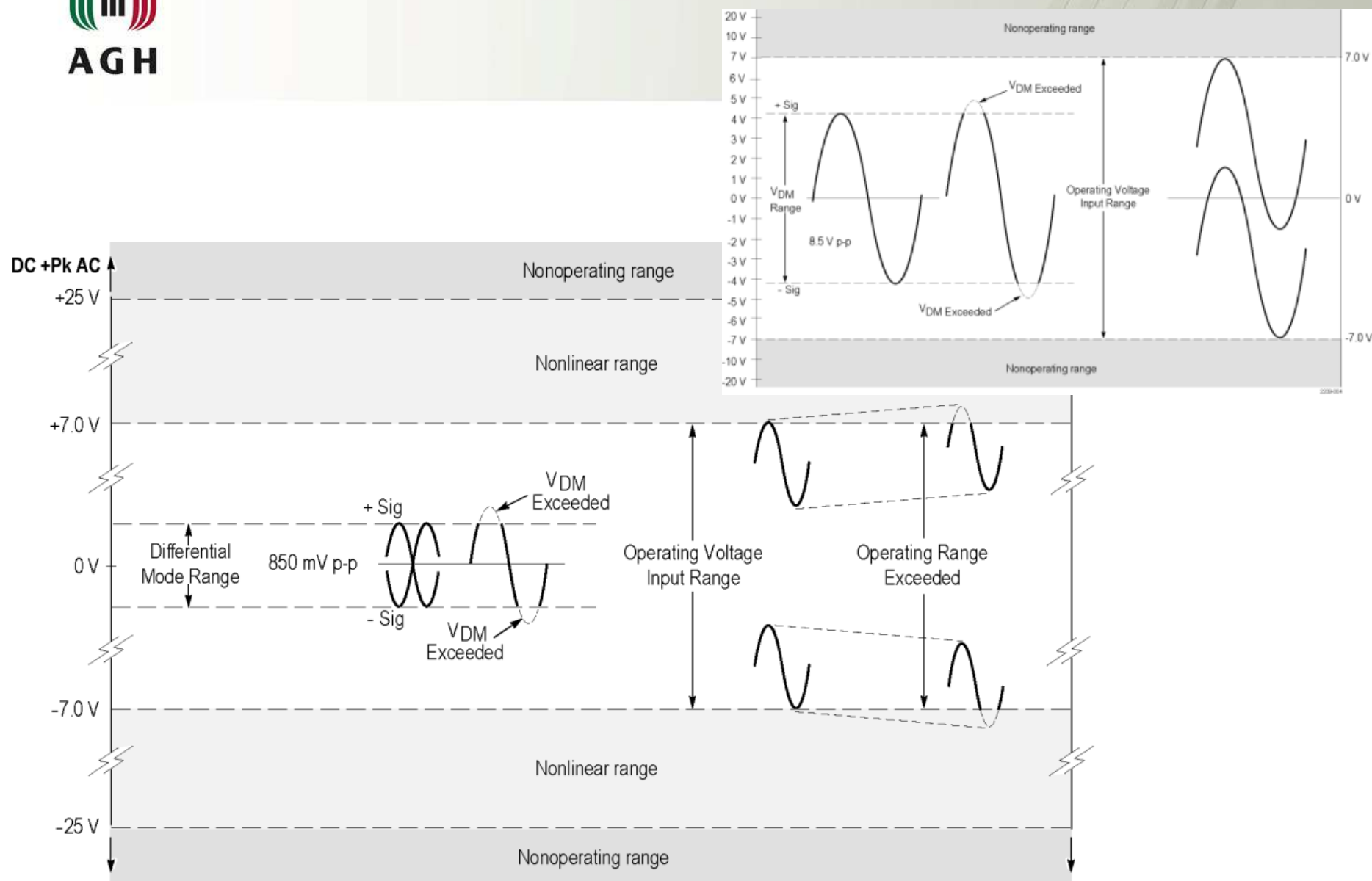


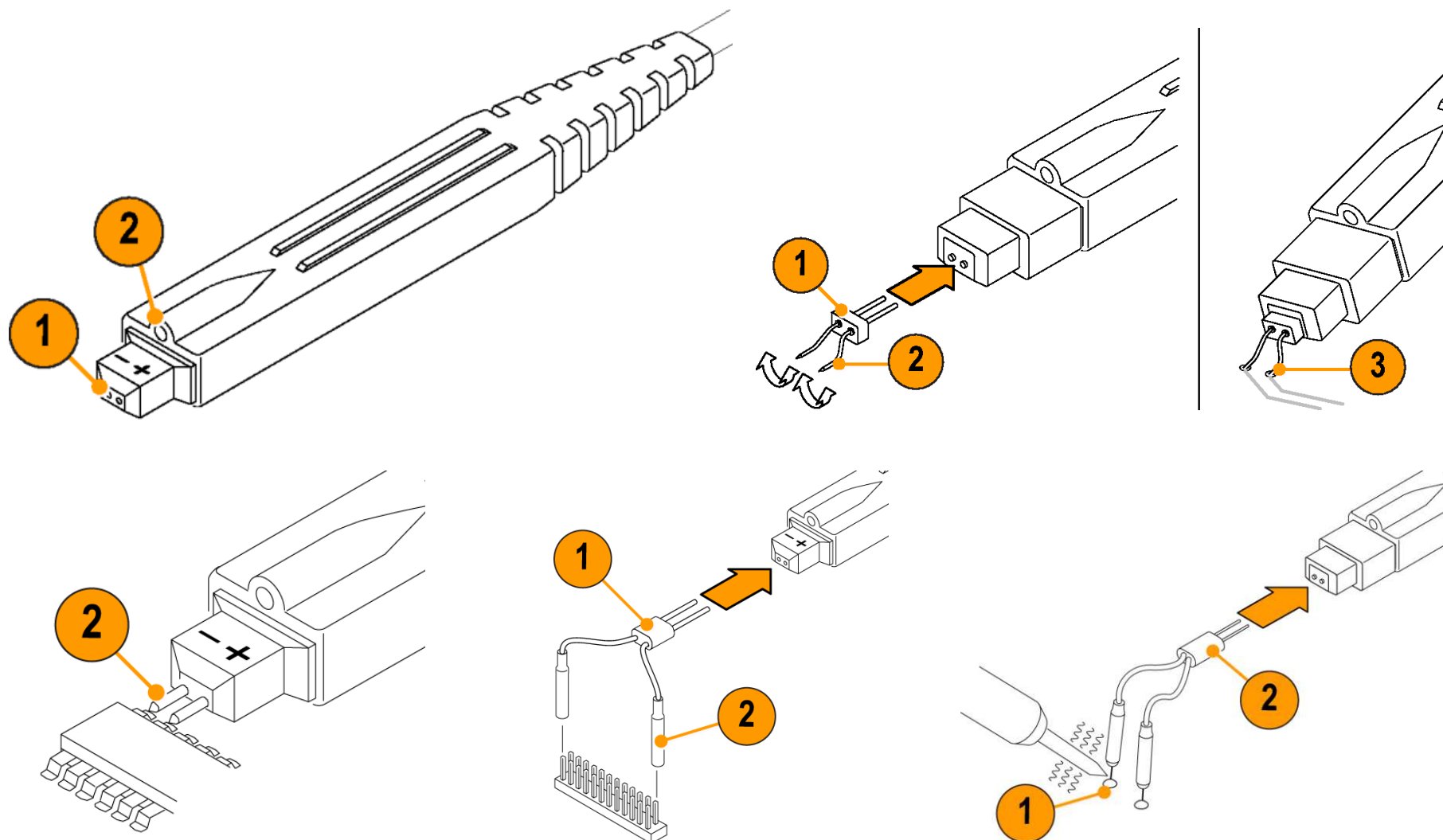
- **3-stage delay trimming:**
 - fine-grain (~40ps step over 0.5ns range) – bit alignment
 - mid-grain (1ns step over 4ns range – bitslip) – nibble alignment
 - coarse-grain (4ns step over 64ns range – nibbleslip) – frame alignment
- **2 subsequent training patterns:**
 - short (4 bits) "1000" pattern for fine & mid grain
 - long (64 bits) "1 + 63 0s" pattern for coarse grain
- **1 ns data window – receiver data sampling finetuned automatically**
 - fine-grain IODEALY sampling phase tracing procedure
 - fine-grain IODELAY recalibration procedure
- **PRBS (Pseudo Random Bit Sequence) for testing purposes**

Tektronix TDP1500 1.5GHz Differential Probe

- pasmo DC...1.5GHz
- wzmacnienie 1x/10x
- zakres 850mV/8.5V
- różnicowa rezystancja wejściowa 200kΩ
- różnicowa pojemność wejściowa <1pF
- CMRR:
>30dB @1GHz (1x)
>18dB (10x)
- automatyczne skalowanie jednostek na wyświetlaczu oscyloskopu

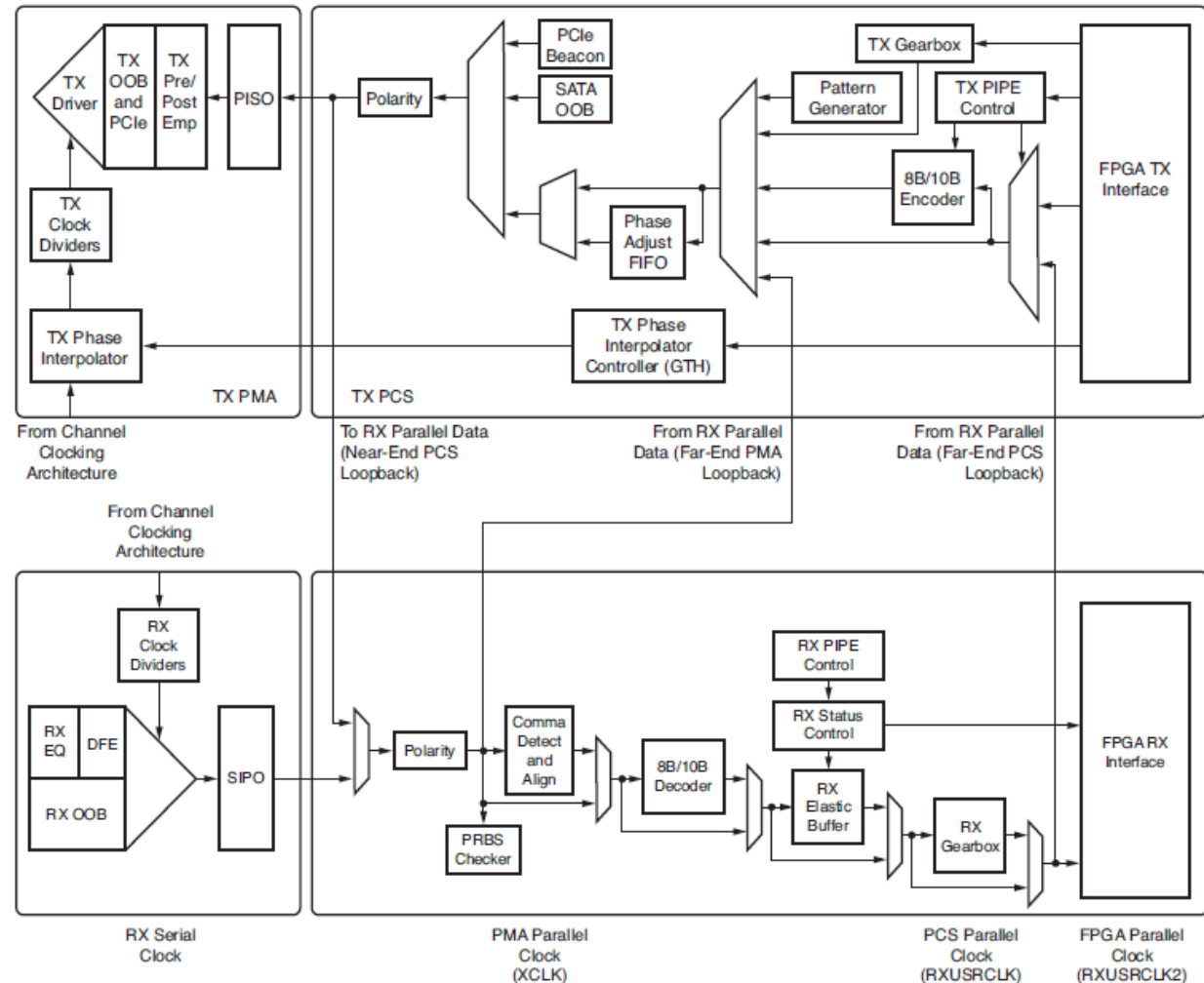






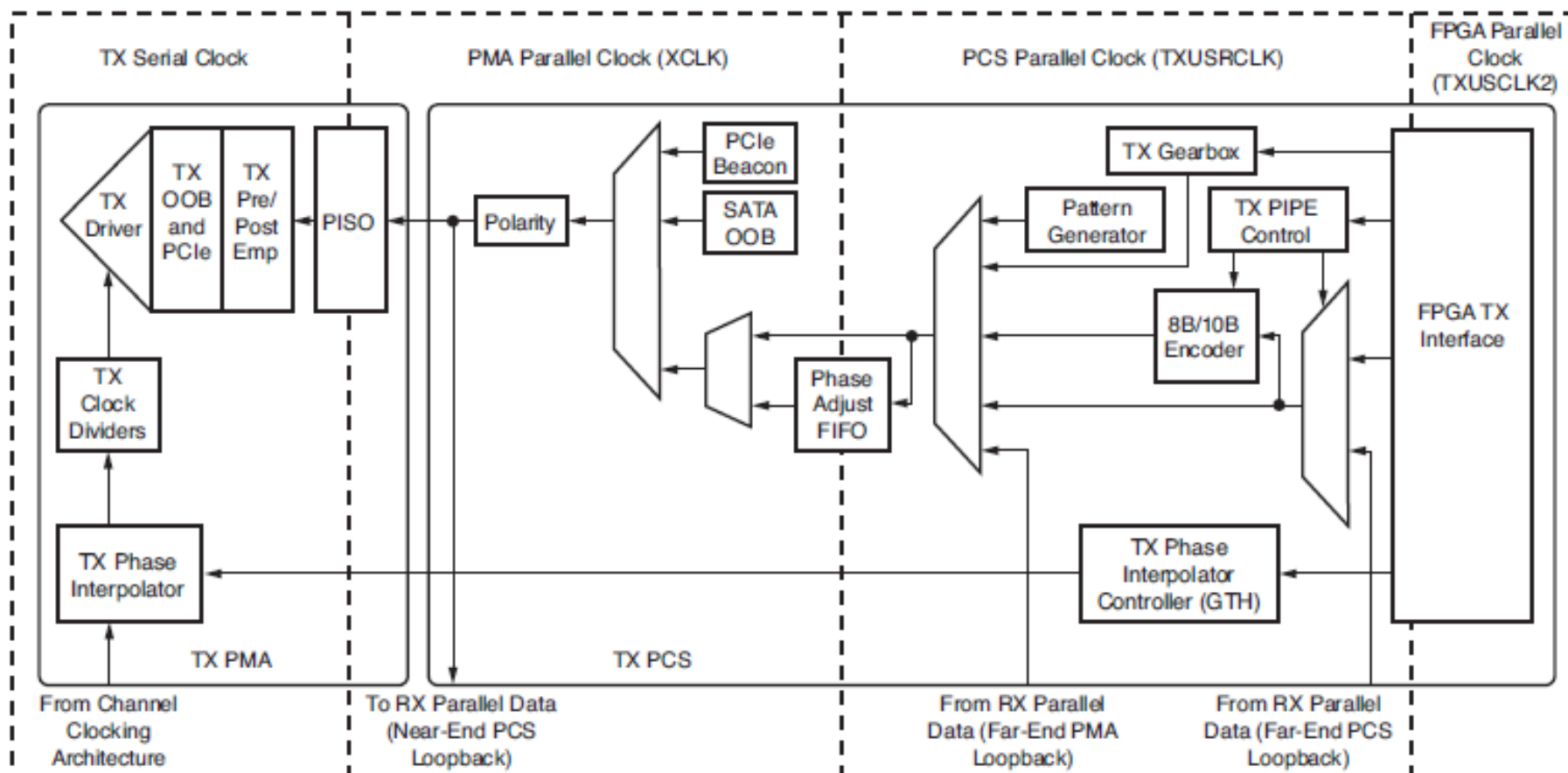
Interfejsy multigigabitowe Virtex-7 GTX (*transceiver*)

- 500Mbps...12,5Gbps
- CML *drivers/buffers*
- *TX emphasis*
- *RX equalization*
- odzyskiwanie zegara
- korekcja zegara
- koder/dekoder
8B/10B, 64B/66B, 64B/67B
- *comma alignment*
- *channel bonding*
- PRBS
- standardy:
 - PCI Express 1.1/2.0/3.0
 - XAUI, XLAUI, CAUI (fast ETH)
 - CPRI/OBSAI (mobile telecom)
 - SATA Gen.1/2/3
 - inne...



Interfejsy multigigabitowe

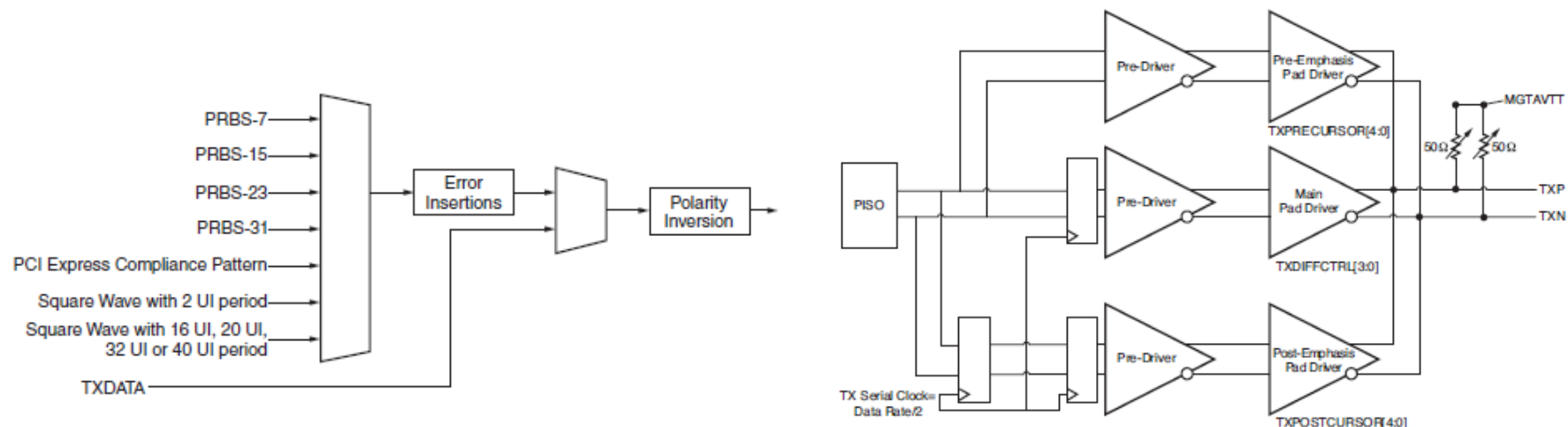
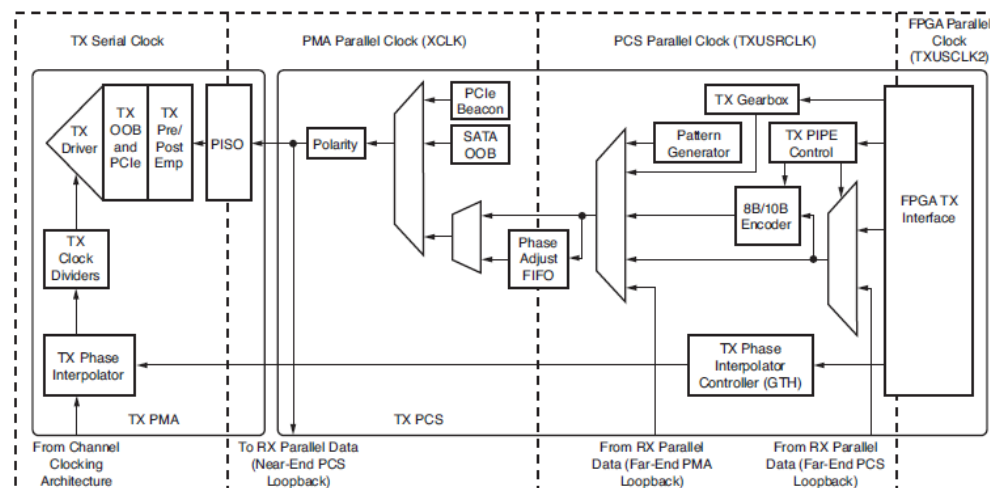
Virtex-7 GTX (nadajnik)



- PCS (Physical Coding Sublayer)
- PMA (Physical Medium Attachment Sublayer)
- 3..4 domeny zegarowe

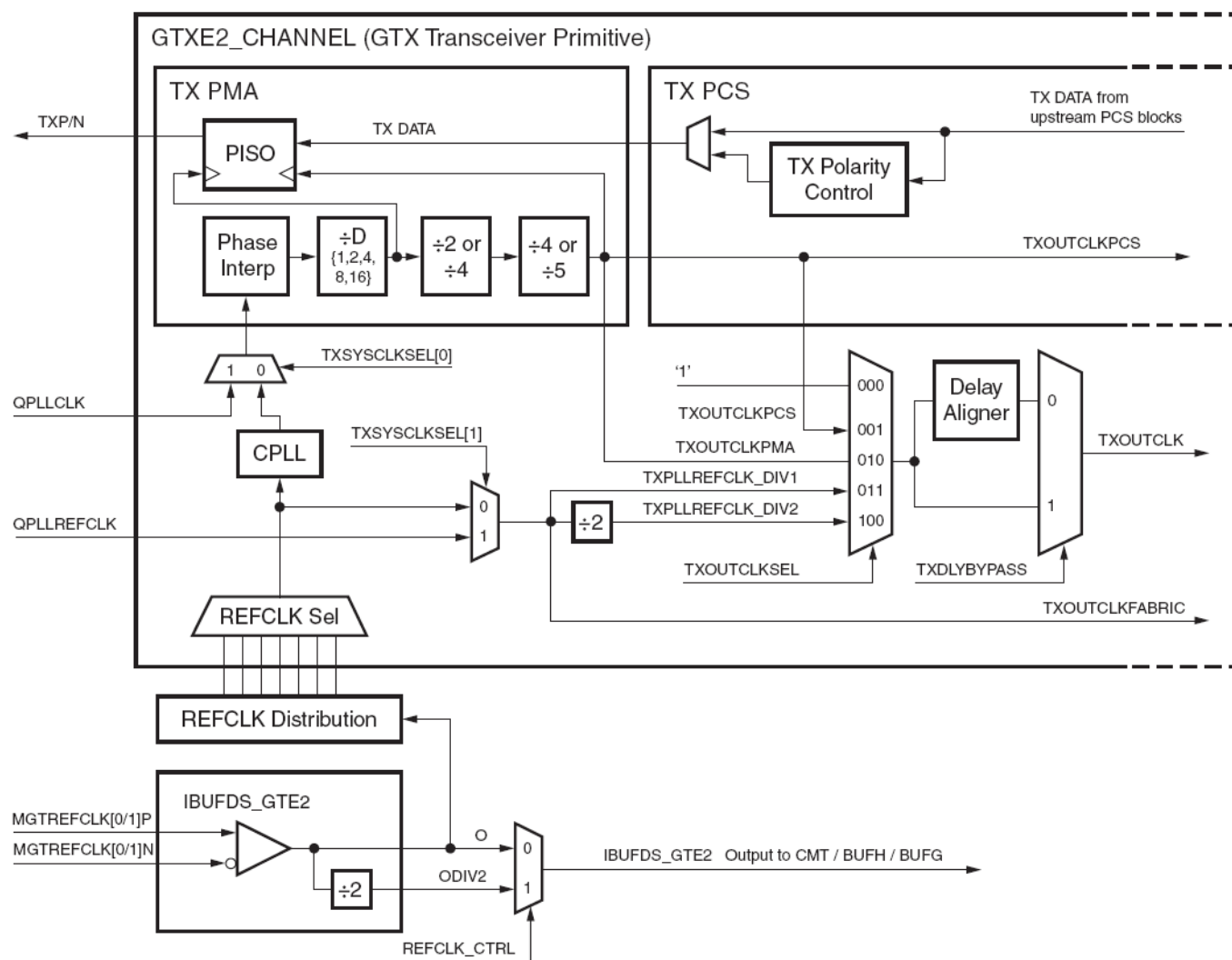
Interfejsy multigigabitowe Virtex-7 GTX (nadajnik)

- FPGA TX Interface: 16/32/64 bit
- 8b/10b Encoder
- TX Gearbox: 64b/66b i 64b/67b
- Pattern Generator: PRBS-7/15/23/31
- TX Buffer / TX Phase Alignment
- PCIe/SATA Out-Of-Band signalling
- Polarity
- PISO
- Pre(0..6dB)/Post(0..12dB) Emphasis
- TX Driver (250..1000mV)

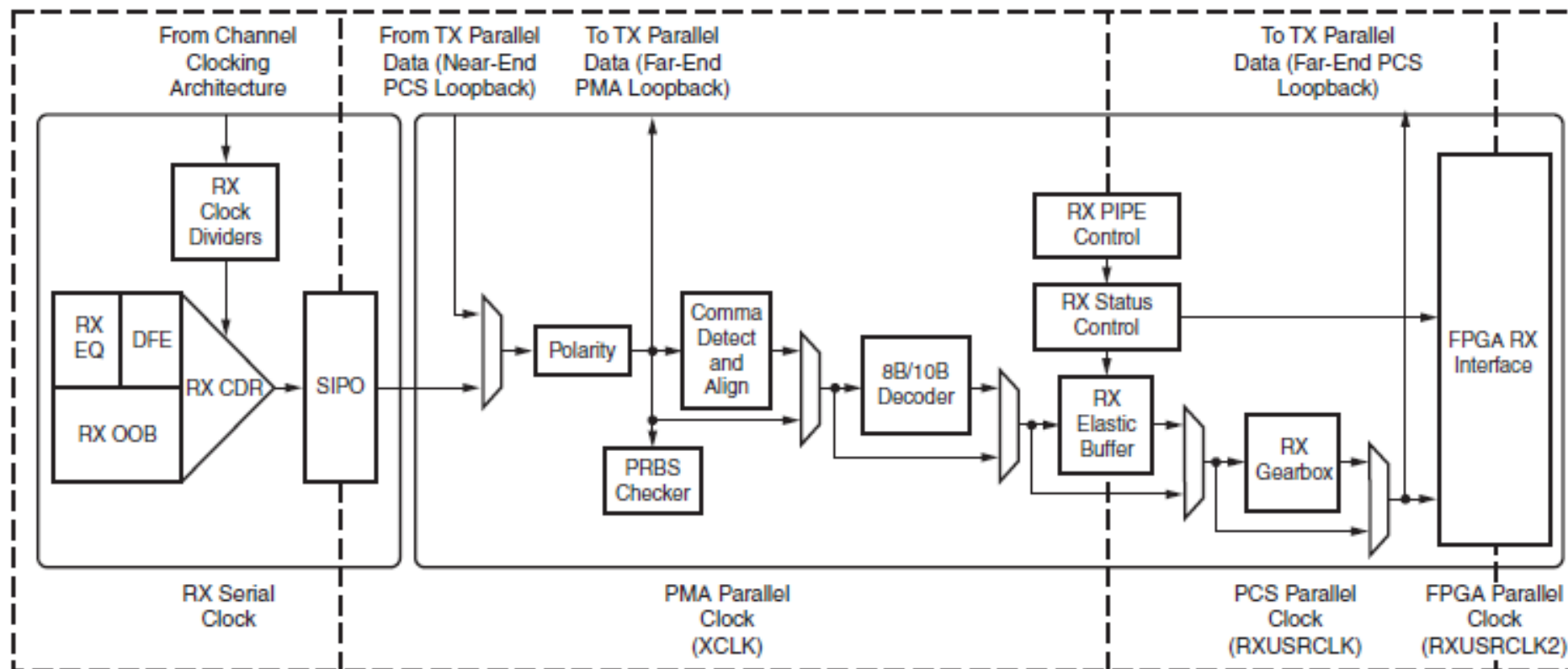


Interfejsy multigigabitowe

Virtex-7 GTX (nadajnik) - dystrybucja zegarów

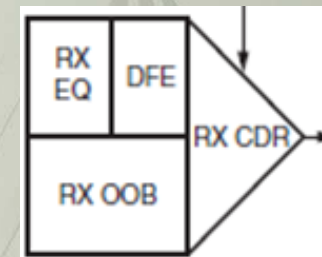


Interfejsy multigigabitowe Virtex-7 GTX (odbiornik)

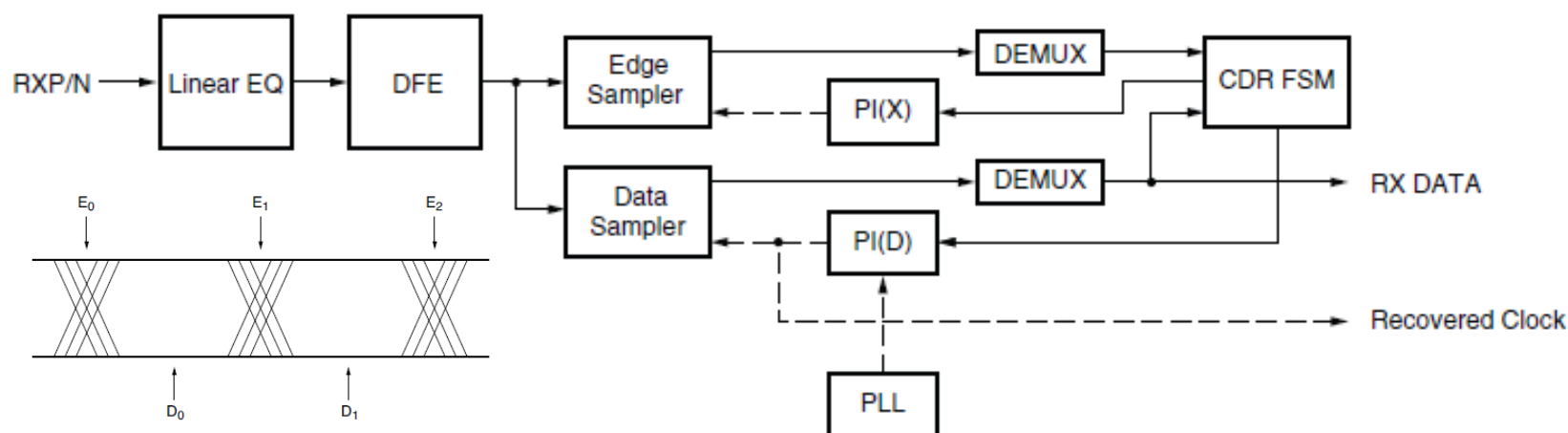
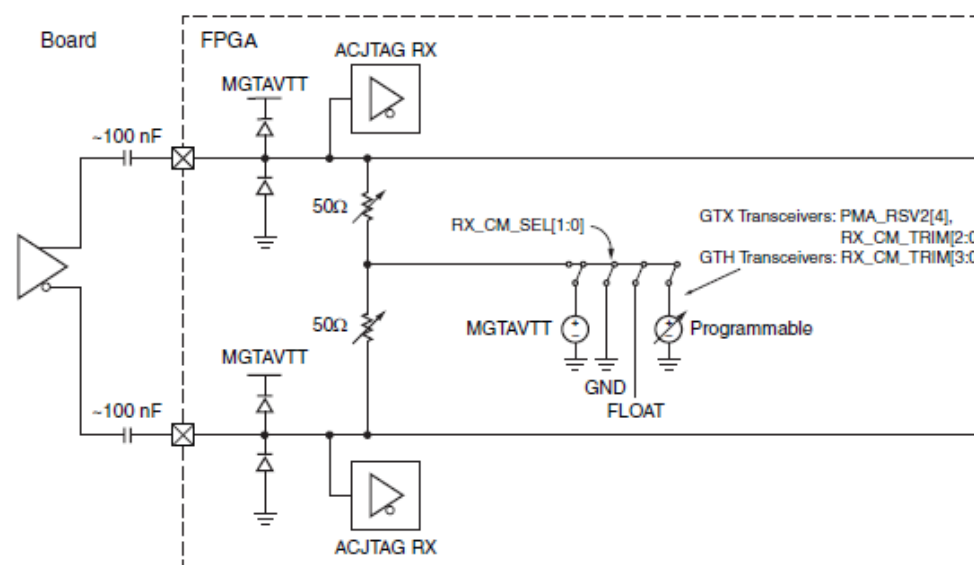


- PMA (Physical Medium Attachment Sublayer)
- PCS (Physical Coding Sublayer)
- 2 domeny zegarowe

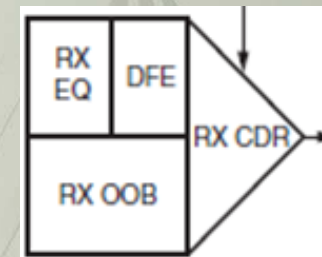
Interfejsy multigigabitowe Virtex-7 GTX (odbiornik)



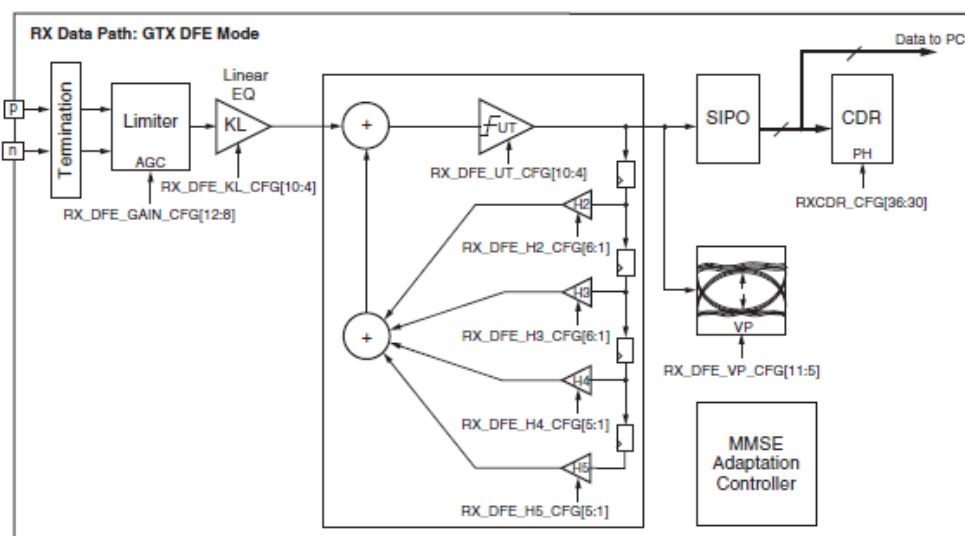
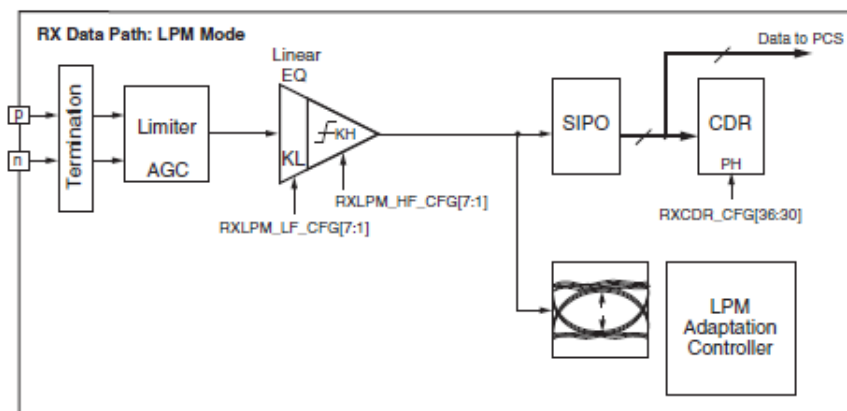
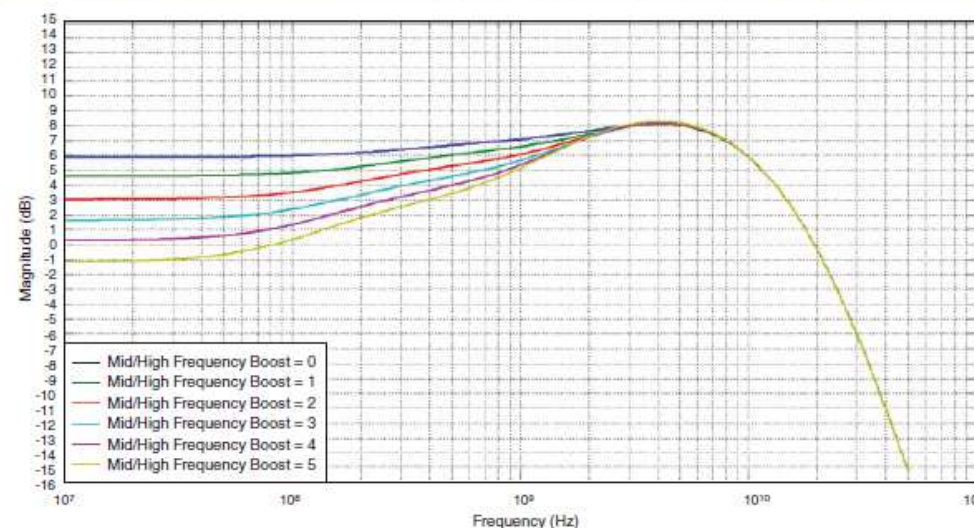
- Analog Front End
- Clock / Data Recovery



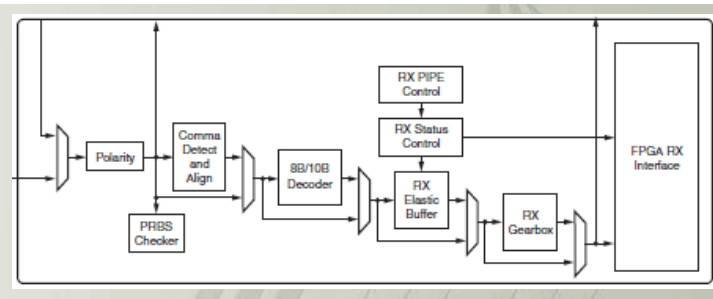
Interfejsy multigigabitowe Virtex-7 GTX (odbiornik)



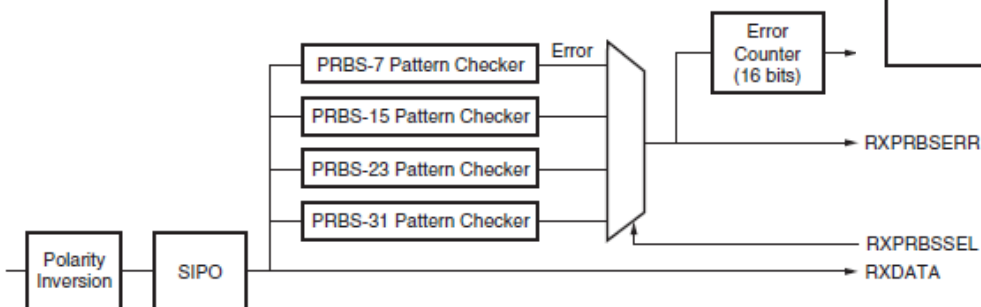
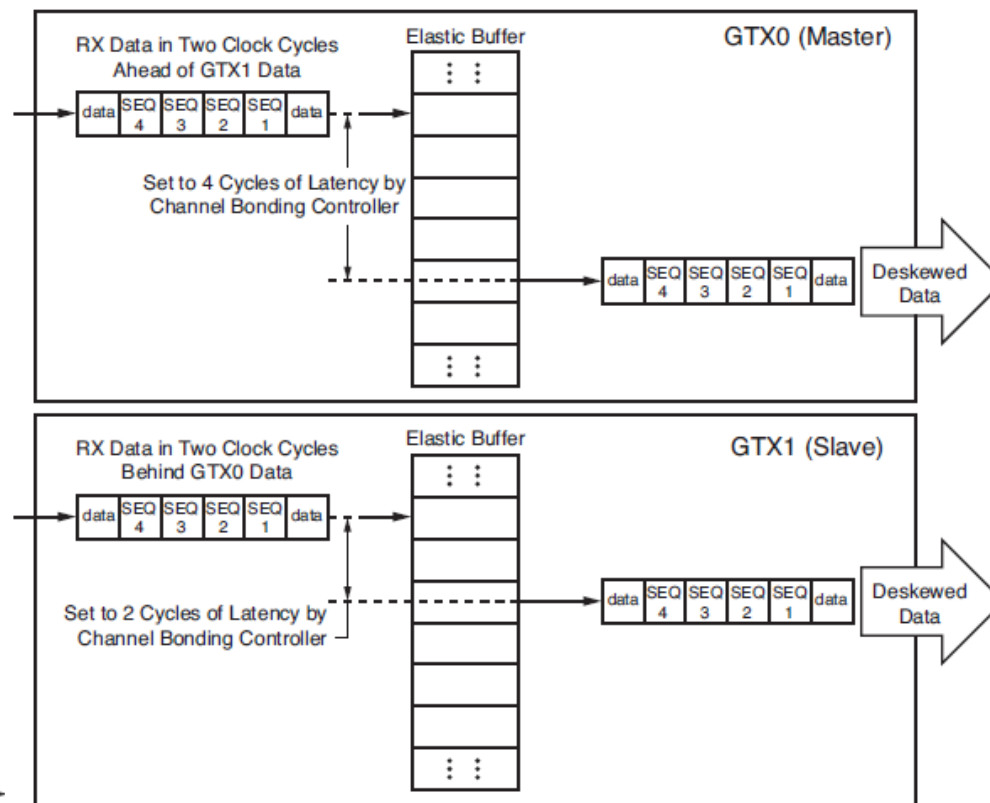
- RX Equalizer (LPM mode)
- RX Equalizer (DFE mode)



Interfejsy multigigabitowe Virtex-7 GTX (odbiornik)

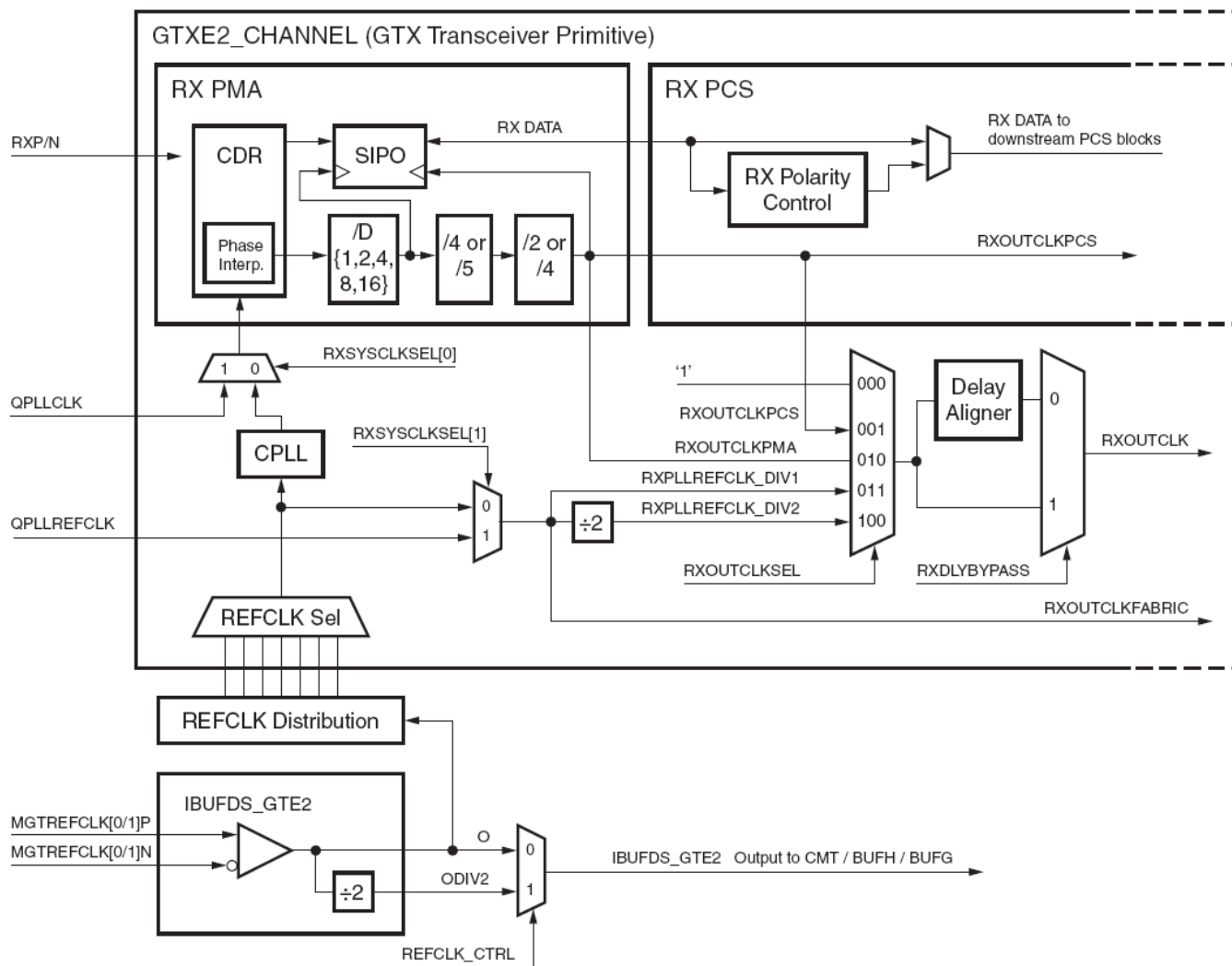


- RX Polarity Control
- PRBS Pattern Checker
- Byte/Word Alignment
- 8b/10b Decoder
- RX Buffer / RX Phase Alignment
- RX Channel Bonding
- RX Gearbox: 64b/66b i 64b/67b
- FPGA RX Interface: 16/32/64 bit



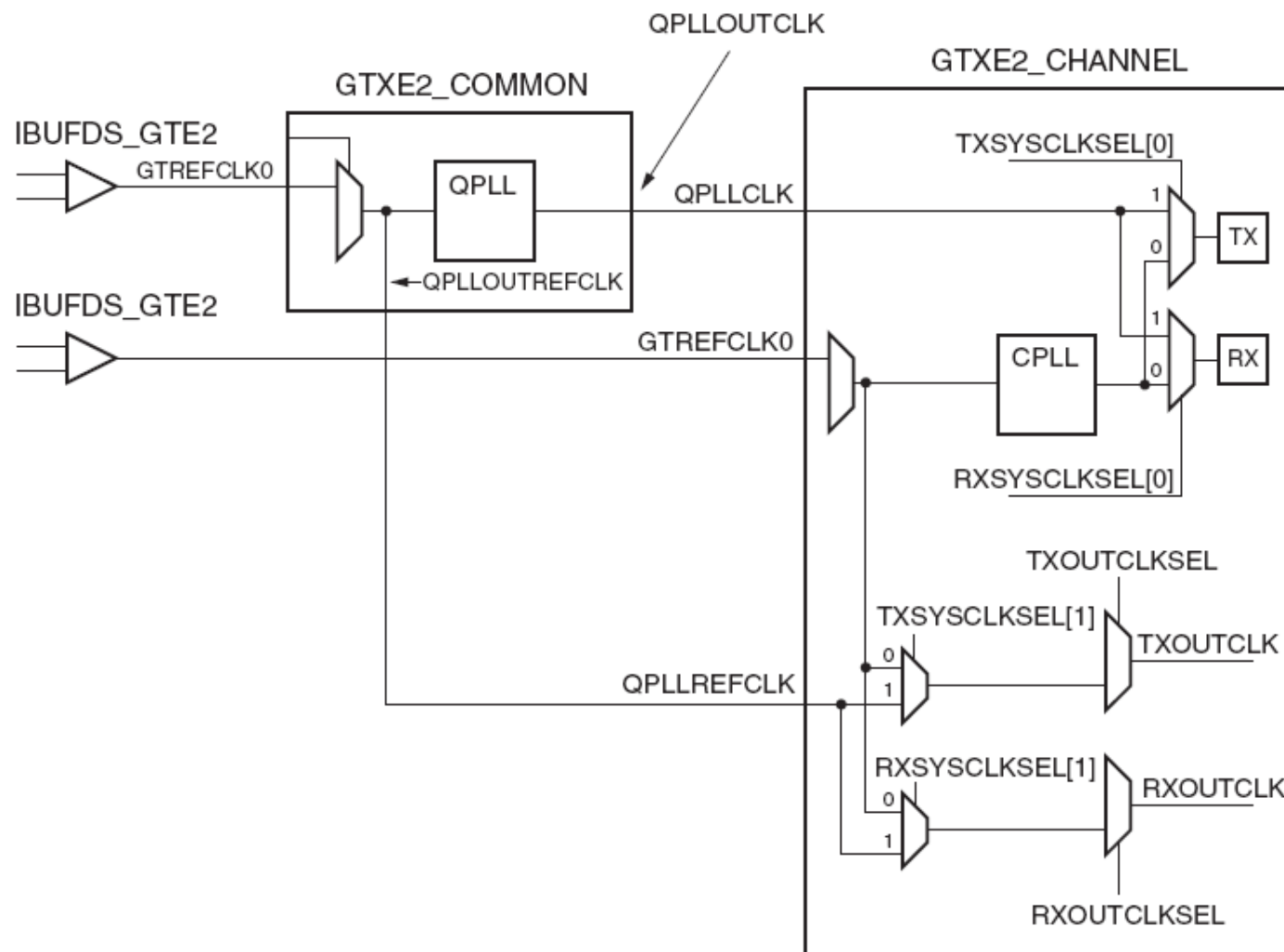
Interfejsy multigigabitowe

Virtex-7 GTX (odbiornik) – dystrybucja zegarów



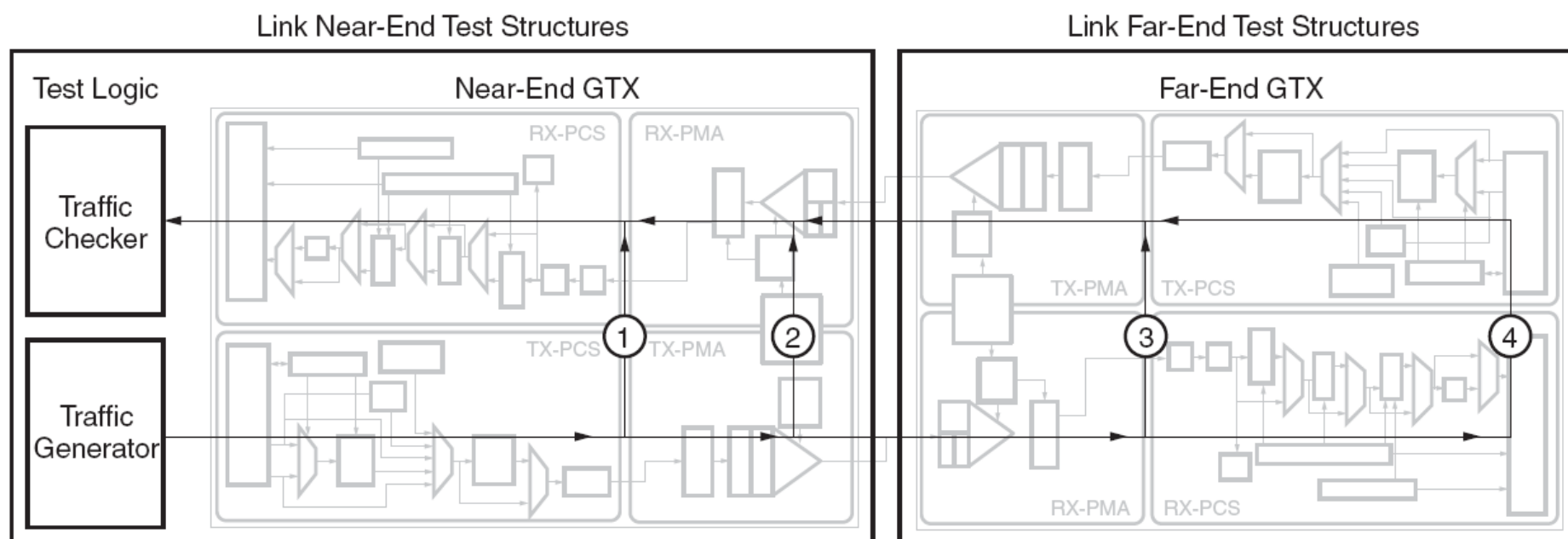
Interfejsy multigigabitowe

Virtex-7 GTX – generacja zegarów: QPLL+CPLL

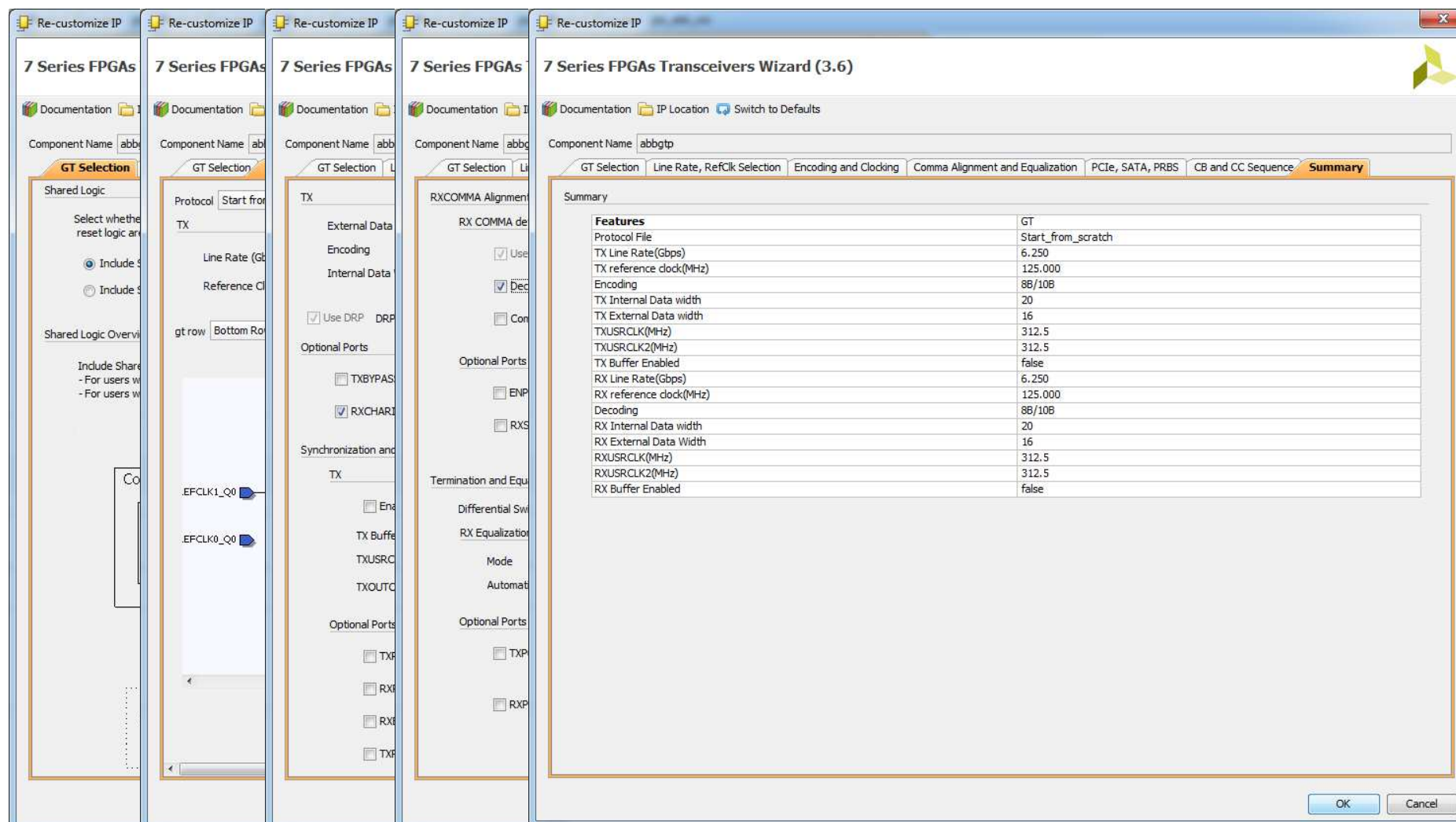


Interfejsy multigigabitowe

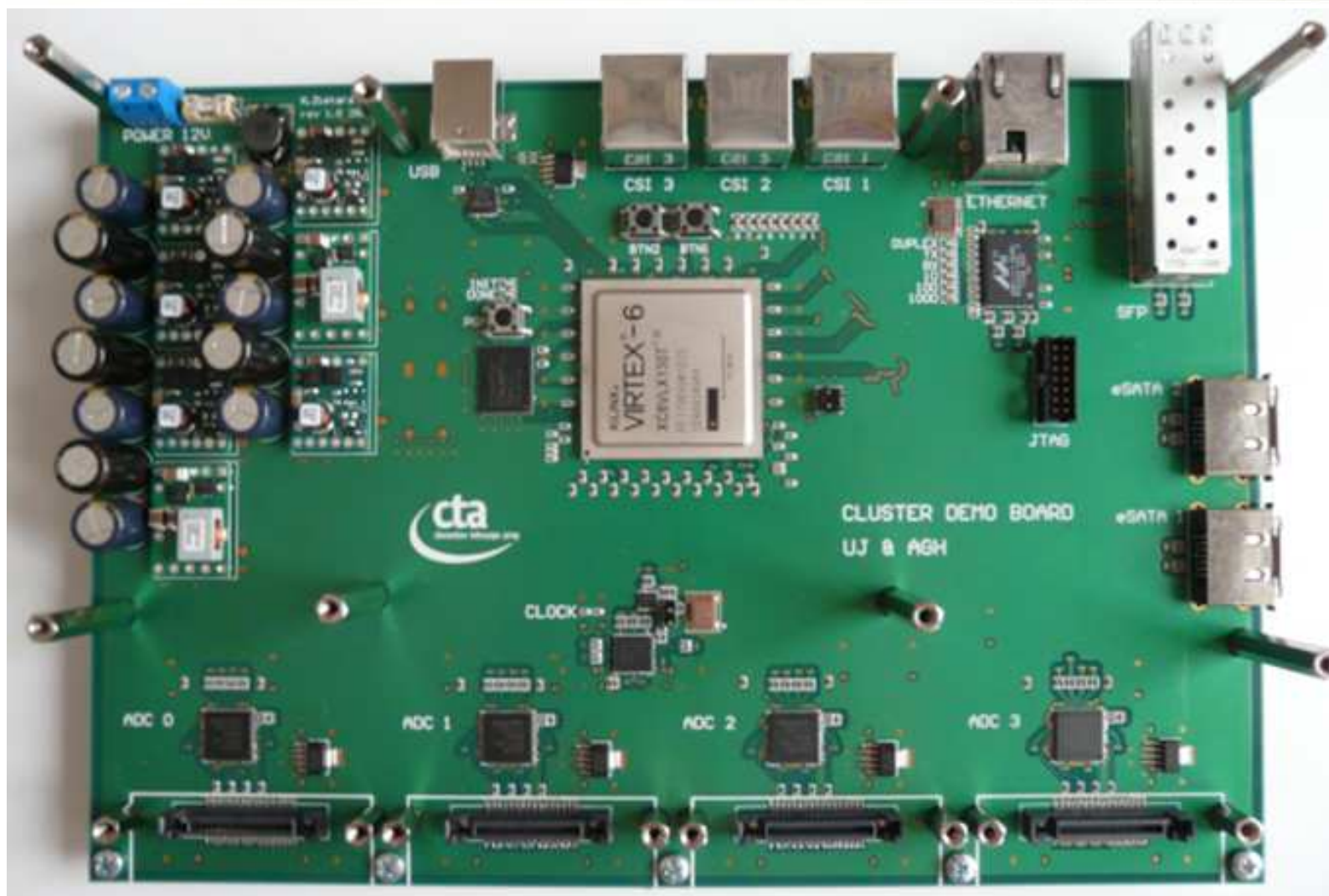
Virtex-7 GTX – loopback testing

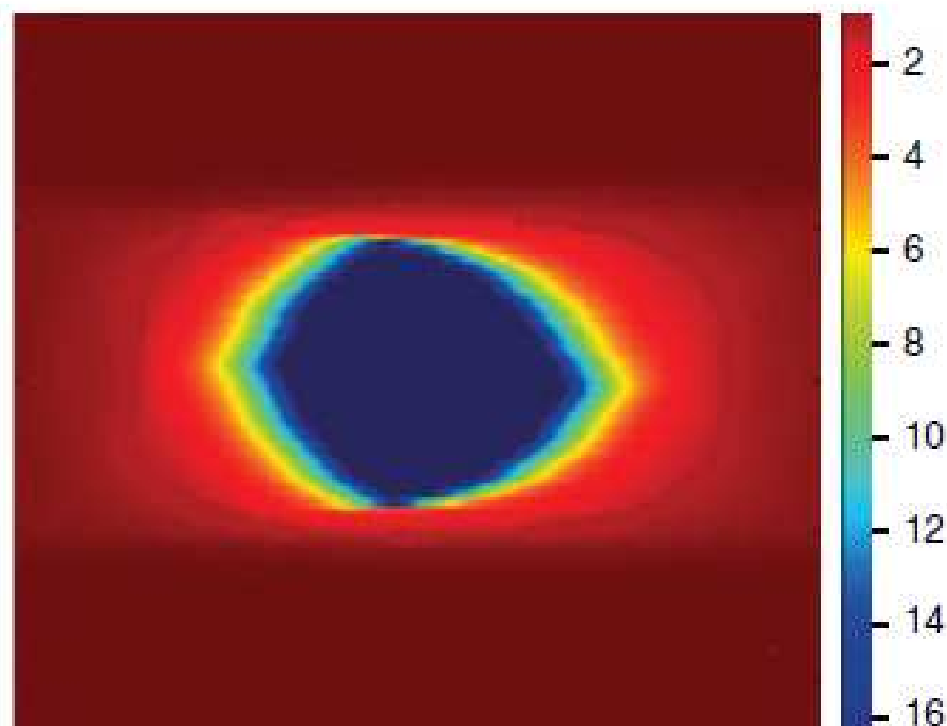
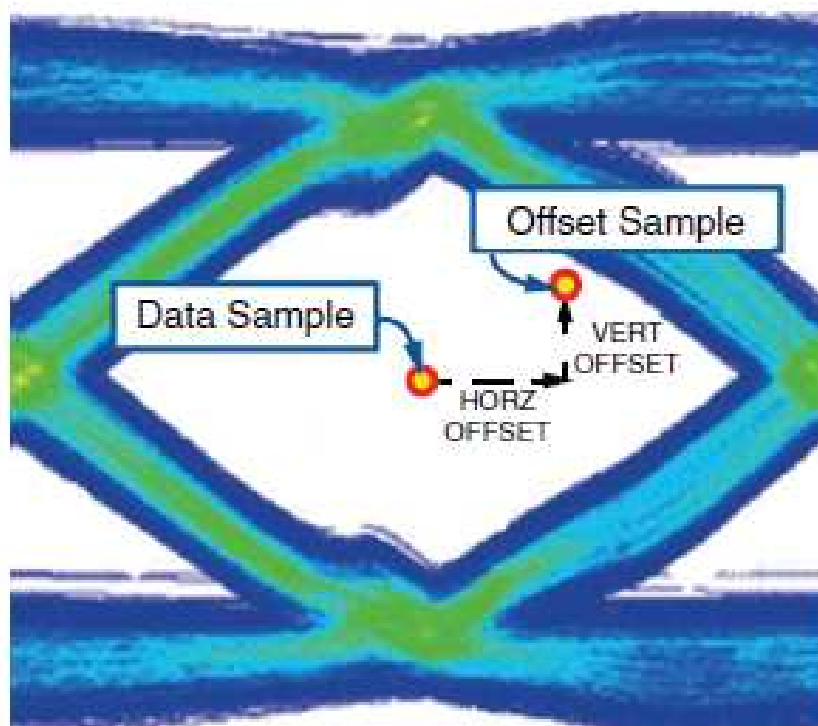


Interfejsy multigigabitowe 7Series MGT (IPcore wizard)



Interfejsy multigigabitowe **Virtex-6 GTX (przykład)**





Pomiary – Eye Scan / ChipScope Pro Analyzer

MGT / BERT Settings

MGT/BERT Settings	DRP Settings	Port Settings	RX Margin Analysis
	GTX_X0Y8	GTX_X0Y9	
MGT Settings			
– MGT Alias	GTX0_117	GTX1_117	
– Tile Location	GTX_X0Y8	GTX_X0Y9	
– MGT Link Status	10.0 Gbps	0.0 Mbps	
– PLL Status	QPLL LOCKED	QPLL LOCKED	
– Loopback Mode	Near-End PMA	Near-End PCS	
– Channel Reset	Reset	Reset	
– TX/RX Reset	TX Reset RX Reset	TX Reset RX Reset	
– TX Polarity Invert	☐	☐	
– TX Error Inject	Inject	Inject	
– TX Diff Output Swing	850 mV (1100)	850 mV (1100)	
– TX Pre-Cursor	1.67 dB (00111)	1.67 dB (00111)	
– TX Post-Cursor	0.68 dB (00011)	0.68 dB (00011)	
– RX Polarity Invert	☐	☐	
– RX Termination Mode	Programmable	Programmable	
– RX Termination Voltage	900 mV	900 mV	

MGT/BERT Settings	DRP Settings	Port Settings	RX Margin Analysis
	GTX_X0Y8	GTX_X0Y9	
MGT Settings			
BERT Settings			
– TX Data Pattern	PRBS 31-bit	PRBS 31-bit	
– RX Data Pattern	PRBS 31-bit	PRBS 31-bit	
– RX Bit Error Ratio	3.875E-013	2.614E-002	
– RX Received Bit Count	2.581E012	1.194E013	
– RX Bit Error Count	0.000E000	3.121E011	
– BERT Reset	Reset	Reset	
Clocking Settings			
– TXUSRCLK Freq (MHz)	250.04	31.29	
– TXUSRCLK2 Freq (MHz)	250.04	31.29	
– RXUSRCLK Freq (MHz)	250.04	31.29	
– RXUSRCLK2 Freq (MHz)	250.04	31.29	

Pomiary – Eye Scan / ChipScope Pro Analyzer

RX Margin Analysis

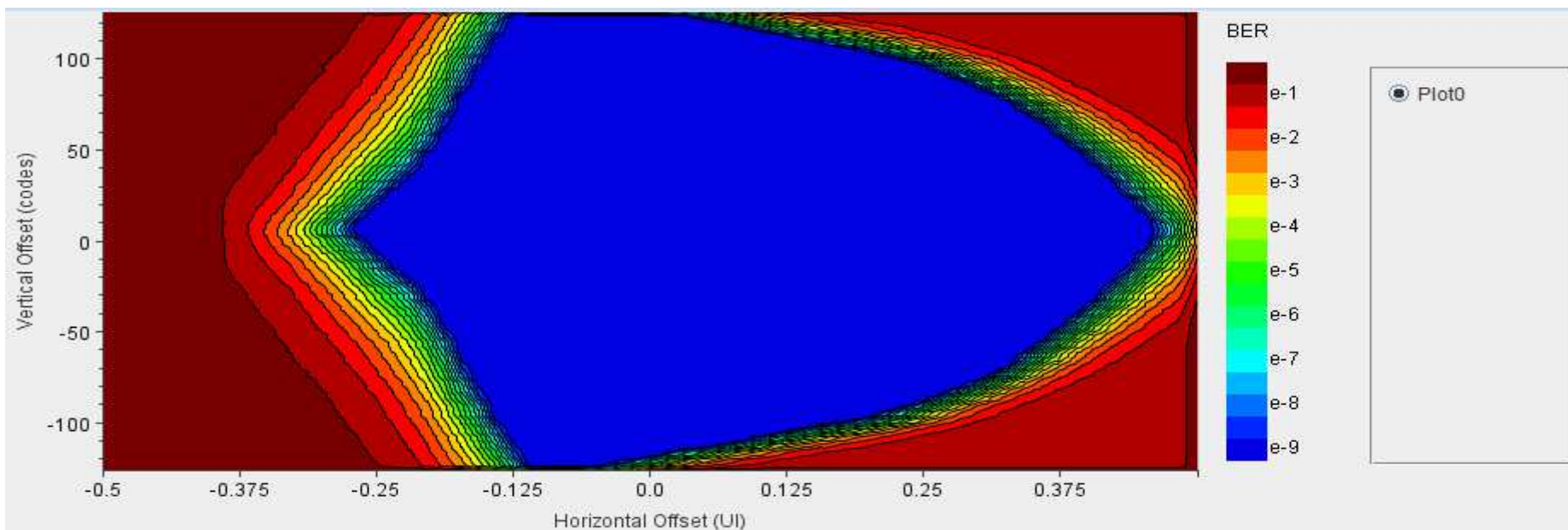
Parameter Name	Start Value	End Value	# of Values
TX Diff Swing	850 mV (1100)	850 mV (1100)	1
TX Pre-Cursor	0.00 dB (00000)	0.00 dB (00000)	1
TX Post-Cursor	0.00 dB (00000)	0.00 dB (00000)	1

Scan Settings

Scan Algorithm: **2D Full Eye**

Horizontal: Increment **1** Range **-32 (-0.500 UI) to 32 (0.500 UI)**

Vertical: Increment **2** Range **-126 to 126**



- Texas Instruments: **LVDS Owner's Manual**
- Maxim: **Introduction to LVDS, PECL and CML**
Application Note HFAN-1.0
- Texas Instruments: **Interfacing Between LVPECL, VML, CML, and LVDS Levels**, Application Report SLLA120
- Mentor Graphics, **Understanding Via Effects**, whitepaper
- Mentor Graphics, **BGA Fanout Patterns**, technical conference course

Ciąg dalszy
nastąpi...

