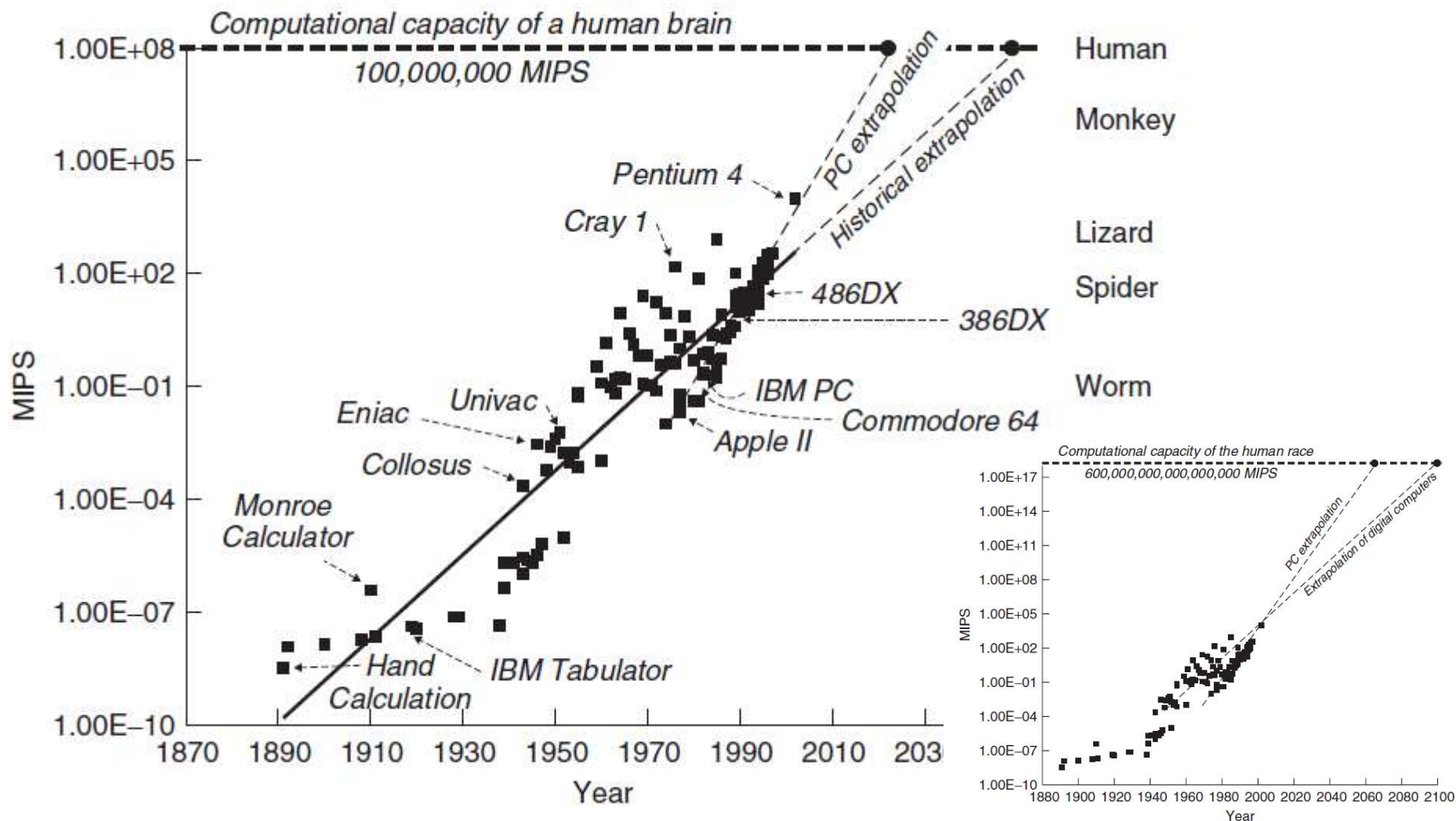




Kierunek EiT, SUM Systemy Wbudowane
Zawansowane Zagadnienia
Projektowania Systemów Cyfrowych

Signal Integrity

- ***Signal Integrity*** – po co?
- **IBIS**
model, charakterystyki I-V oraz V-t, plik, edytor
- **HyperLynx SI**
modelowanie elementów toru: stos PCB, nadajniki/odbiorniki, linie (ścieżki), przelotki, złącza, obudowy i inne elementy
- **HyperLynx SI**
symulacje torów: terminacja, z przemiataniem, przesłuchy, diagramy oka, analiza FastEye: eye-diagram, BER, eye-density, contour, bathtub
- **IBIS-AMI**



- Problematyka SI to efekt wykładniczego wzrostu mocy obliczeniowej
- Wzrost mocy obliczeniowej $\Rightarrow$ konieczna przepustowość magistral
- **Przepustowość magistrali = Szerokość $\times$ Szybkość**
- Zwiększanie szerokości – ograniczenia:
mechaniczne, liczba styków złącz, PCB...
- Zwiększanie szybkości – ograniczenia:
efekty HF (zbocze a długość linii), precyzja **ps / mV**
- $\Rightarrow$ **Konieczne zastosowanie nowych technik i narzędzi**
- **Modelowanie i symulacja kompletnego kanału transmisji:**
nadajnik, ścieżki, przelotki, kable, złącza (+ ew. inne elementy pasywne, np. equalizery), odbiornik
- **Modelowanie i symulacja wielu współdziałających kanałów**
(przesłuchy!)

SPICE Simulation Program with Integrated Circuit Emphasis

- Model typu white-box (strukturalny)
- Problematyczny dla użytkownika
 - wyniki dokładne ale zbyt wolna symulacja (szczególnie stanów przejściowych)
 - brak 100% kompatybilności symulatorów
 - zbyt wiele nastaw początkowych symulatora
- Problematyczny dla producenta
 - modele *transistor-level* zawierają zbyt szczegółowe informacje IP

IBIS I/O Buffer Information Specification

- Model typu black-box (behawioralny)
- Zawiera stabelaryzowane charakterystyki I-V oraz V-t
- Format pliku ASCII
- Dane z pomiarów (ew. z symulatora lub nawet z *datasheet*)
- Symulacja dużo szybsza a tylko nieco mniej dokładna
- Powszechnie używany przez przemysł EDA oraz IC
- Modele udostępniane przez producentów IC



- W latach 1991/2 w firmie Intel przeprowadzano szerokie symulacje Signal Integrity dla magistrali PCI z wykorzystaniem behawioralnych modeli buforów, opartych na charakterystykach I-V
- W efekcie powodzenia tych symulacji Intel zdecydował się udostępnić modele dla klientów
- Zaistniała potrzeba opracowania niezależnego od symulatora formatu dla opisu modeli
- Kilku wytwórców oprogramowania EDA wyraziło zainteresowanie wspólnie opracowanym formatem
- Powstało IBIS Open Forum, które opublikowało pierwszą specyfikację IBIS w kwietniu 1993
- Ostatnia wersja (IBIS 7.2) została opublikowana w styczniu 2023 (wersja 8.0 w przygotowaniu)



Upcoming Events
Past Summits

Open Forum
Minutes
Regional Forums
China
Task Groups
ATM
Quality
Interconnect
Editorial
Members
Membership FAQ
Roster

Specifications
BIRDs
ISSIRDs
TSIRDs
Models

Support
Model Review
Training
FREE Tools
IBIS Parsers
IBISCHK
IBISCHK Bugs
TSCHK
TSCHK Bugs
IBIS Cookbook
Accuracy Handbook
IBIS Quality Spec

Site Map
About IBIS
Officers
Articles
FAQ

Welcome to the IBIS Open Forum

NEW [IBIS Version 8.0 draft](#) Available for review!

NEW [2025 Hybrid IBIS Summit](#) @ IEEE EMC SPI Agenda and Presentations

NEW [TSCHK2.1.0 parser](#) is released and available for free executable download

NEW [Touchstone 2.1 Specification](#) is approved and available for download

Our Specifications

I/O Buffer Information Specification	(IBIS 7.2) (SAE/EIA-STD-656-B) (IEC-62014-1)
IBIS Interconnect Modeling Specification	(ICM 1.1) (SAE/GEIA-STD-0001)
IBIS Interconnect SPICE Subcircuit Specification	(IBIS-ISS 1.0)
Touchstone® File Format Specification	(Touchstone 2.1)

Our Members

















































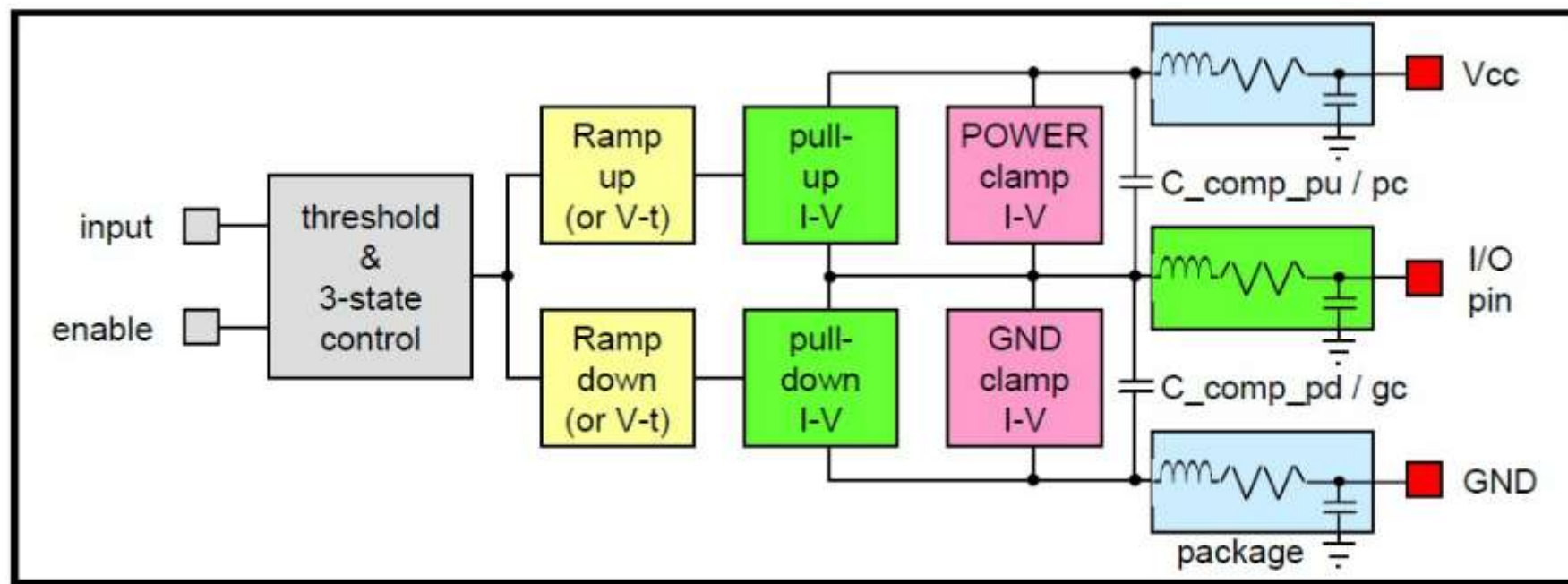






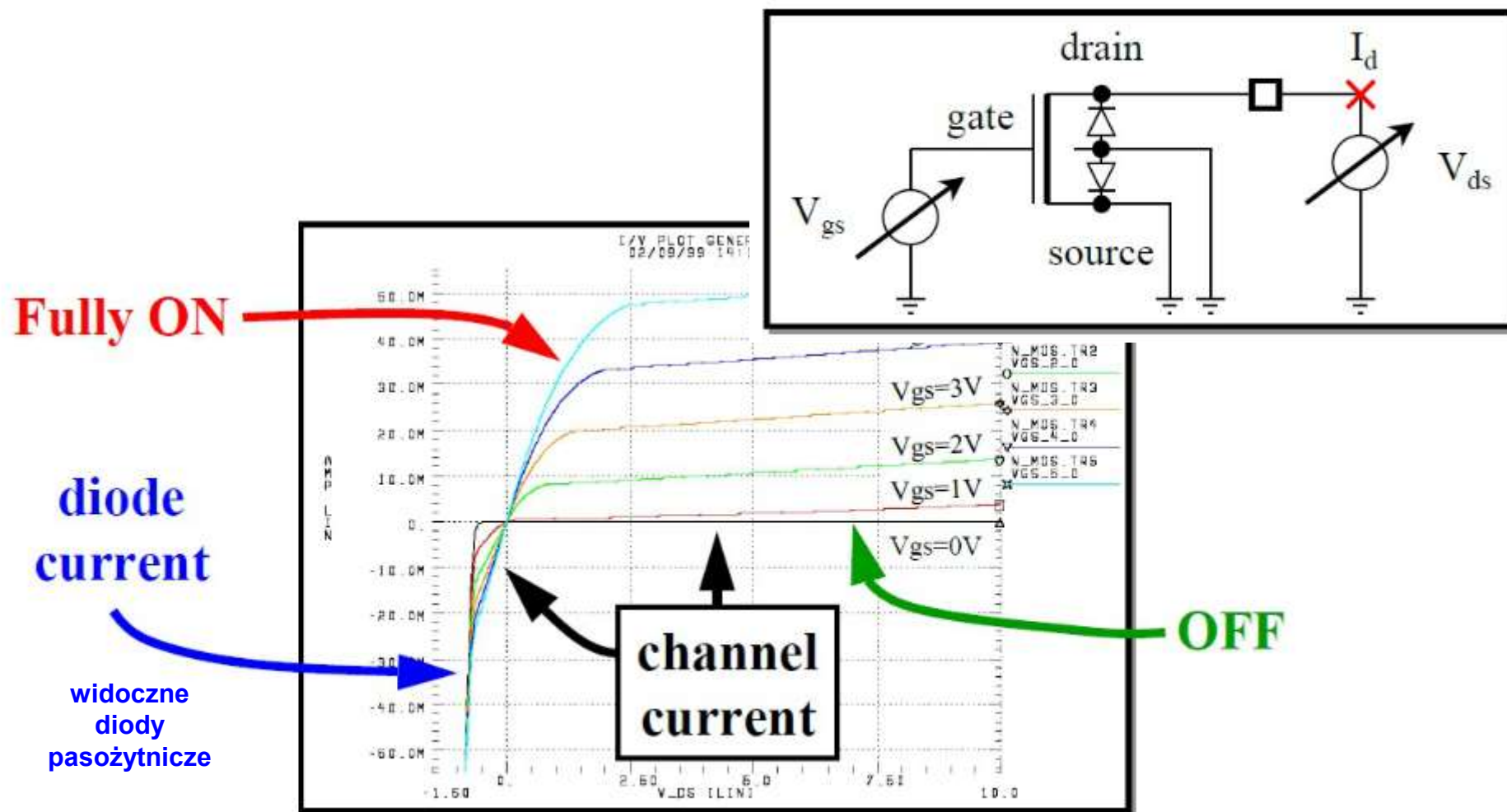






- 2 charakterystyki V-t (zbocza: narastające i opadające, **wyjście**)
- 2 charakterystyki I-V (*pull-up* i *pull-down*, **wyjście**)
- 2 charakterystyki I-V (*POWER clamp* i *GND clamp*, **wejście**)
clamp używane do zwierania np. przy badaniu przesłuchów
- pojemność struktury (*die capacitance*) C_{comp} widziana na *die pad*
- parametry obudowy (RLC)

IBIS Charakterystyka I-V N-channel pulldown



▪ W trybie wejścia

- prądy diod pasożytniczych w tranzystorach
- prądy obwodów zabezpieczających ESD
- prądy zintegrowanych pasywnych terminatorów lub rezystorów pullup/pulldown
- *static overshoot protection clamp*
- inne ...

▪ W trybie wyjścia

- wszystko co powyżej + ...
- prądy zintegrowanych aktywnych terminatorów
- prądy *bus-keeper* oraz *dynamic clamp*
- inne ...

▪ Symulacja SI wymaga modeli dla obu trybów

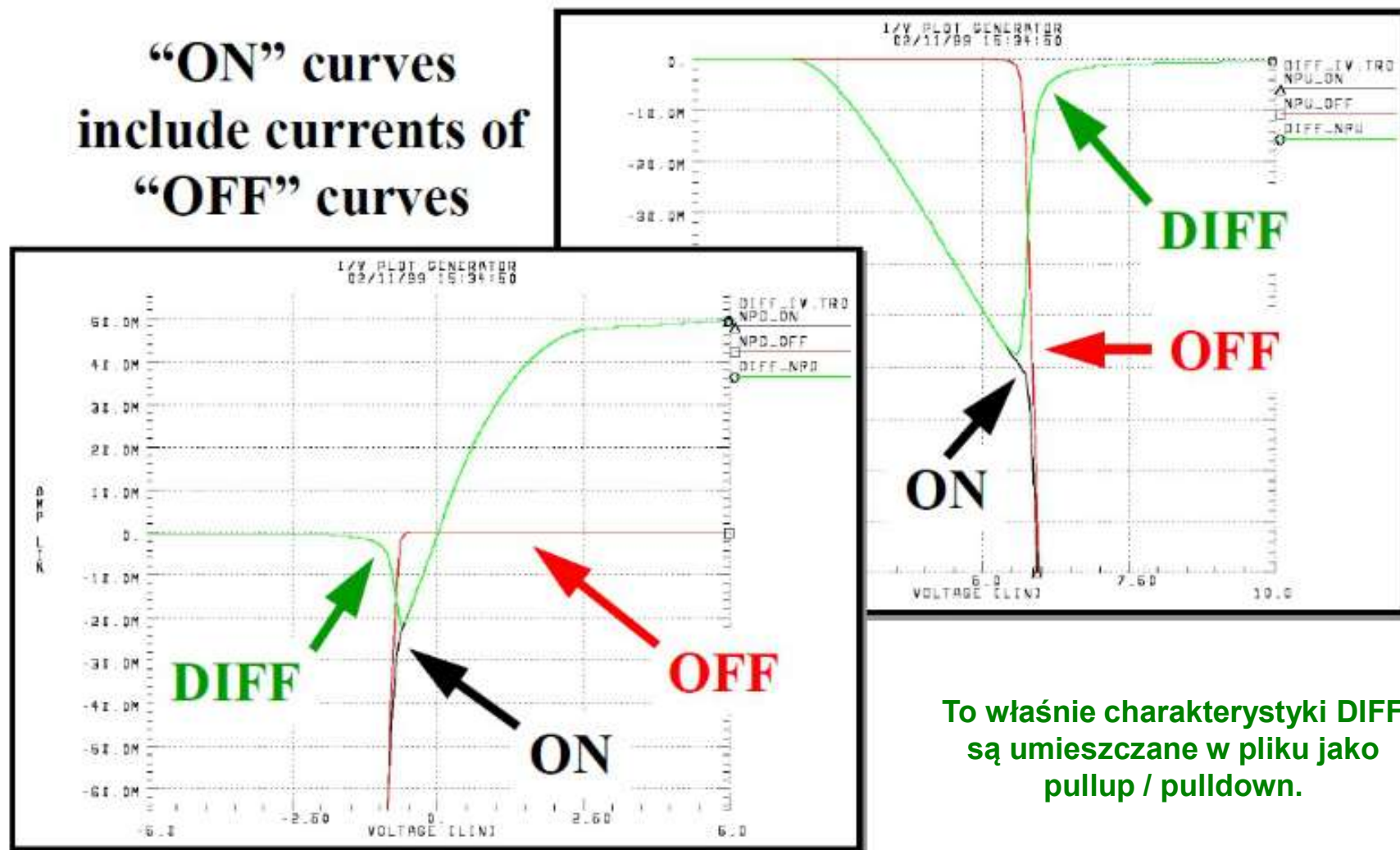
- modele mają oddzielne charakterystyki clamp I-V
- charakterystyki I-V pullup i pulldown zawierają różnice prądów dla trybu wyjścia i wejścia, więc mogą być sumowane

Dwa możliwe rozwiązania:

- **Wyprowadzać model odbiornika i wprowadzać model nadajnika (lub na odwrót)**
 - Opracowanie algorytmu, który może powodować przenikanie dwóch modeli, tak aby prądy statyczne pozostały stałe podczas procesu przejścia, może być trudne.
- **Utrzymywać model odbiornika stale w obwodzie i wprowadzać / wyprowadzać różnicę między modelami nadajnika i odbiornika**
 - Model nadajnika zawiera prądy statyczne tych elementów obwodów, które tworzą model trybu odbioru, ponieważ one nigdy nie są one wyłączane. Te prądy będą podwojone, gdy model nadajnika zostanie po prostu dodany do modelu odbiornika.

IBIS wykorzystuje to drugie rozwiązanie.

“ON” curves
include currents of
“OFF” curves



To właśnie charakterystyki DIFF
są umieszczane w pliku jako
pullup / pulldown.

▪ Zakresy

- **Generalnie $-V_{DD} \dots 2 \times V_{DD}$**
 - dla bufora 5V: $-5V \dots +10V$
 - teoretyczny *overshoot* przy pełnym odbiciu = $2 \times \Delta V$
- **Wyjątek: clamp curves**
 - [GND Clamp] $-V_{DD} \dots V_{DD}$
 - [POWER Clamp] $V_{DD} \dots 2 \times V_{DD}$
 - uniknięcie podwójnych obliczeń dla wspólnego zakresu

▪ Punkty pomiarowe

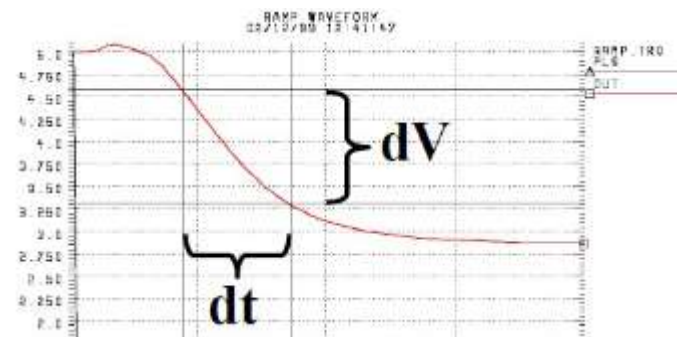
- maksymalnie 100
- mogą mieć nierównomierny rozkład

▪ Warunki pomiarowe

- wartości typowe (wymagane)
- wartości minimalne i maksymalne (opcjonalne)
znaczenie „minimalne i maksymalne” zależy od technologii (CMOS/bipolar)

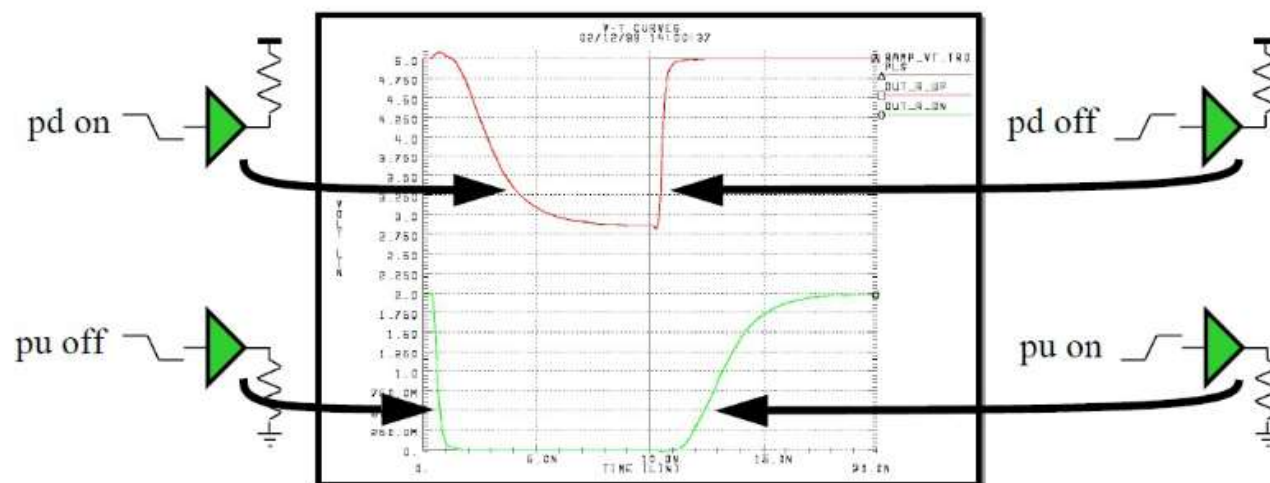
■ Ramp

- tylko wartości dV i dt
- przedział 20%...80% z pomiaru



■ Waveform

- bardziej szczegółowe (nieliniowe przełączanie)
- 4 tablice dla pełnej charakterystyki



▪ Długość tablic

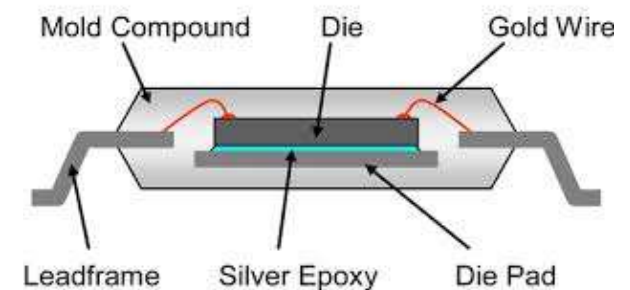
- nie większa niż minimalny czas trwania bitu
- niektóre symulatory nie tolerują „overclockingu”

▪ Dane obudowy

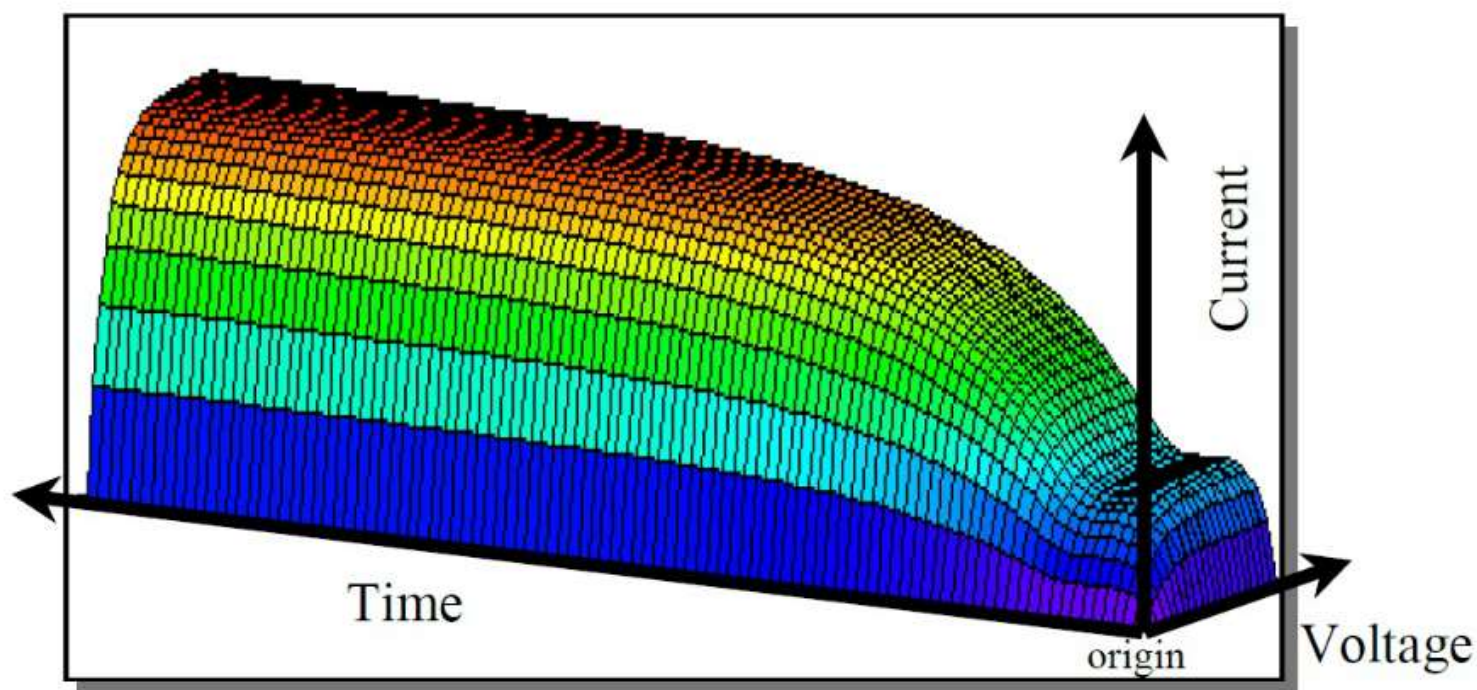
- muszą być usunięte podczas pomiarów
- łatwo ze SPICE, trudno w laboratorium, *reverse-engineering!*

▪ Pojemność struktury (C_comp)

- nie da się usunąć z pomiarów
- algorytm symulatora pomija wpływ C_comp na charakterystyki przejściowe, utrzymując go dla pozostałych przypadków (widok buforu z zewnątrz)



- **I-V opisują tranzystory bufora w stanie ON i OFF**
- **V-t opisują przełączanie tranzystorów**
 - charakterystyki V-t mogą być użyte do skalowania charakterystyk I-V



▪ Nagłówek

- nazwa pliku, data, wersja, źródło, uwagi, zastrzeżenia, *copyright*, ...
- domyślne dane obudowy (L_pkg, R_pkg, C_pkg)
- lista wyprowadzeń (nazwa wyprowadzenia, nazwa sygnału, nazwa bufora, opcjonalnie L_pkg, R_pkg, C_pkg)
- elementy zaawansowane (sprzężenia wyprowadzeń różnicowych, selektor buforów dla różnych standardów sygnalizacji itp.)

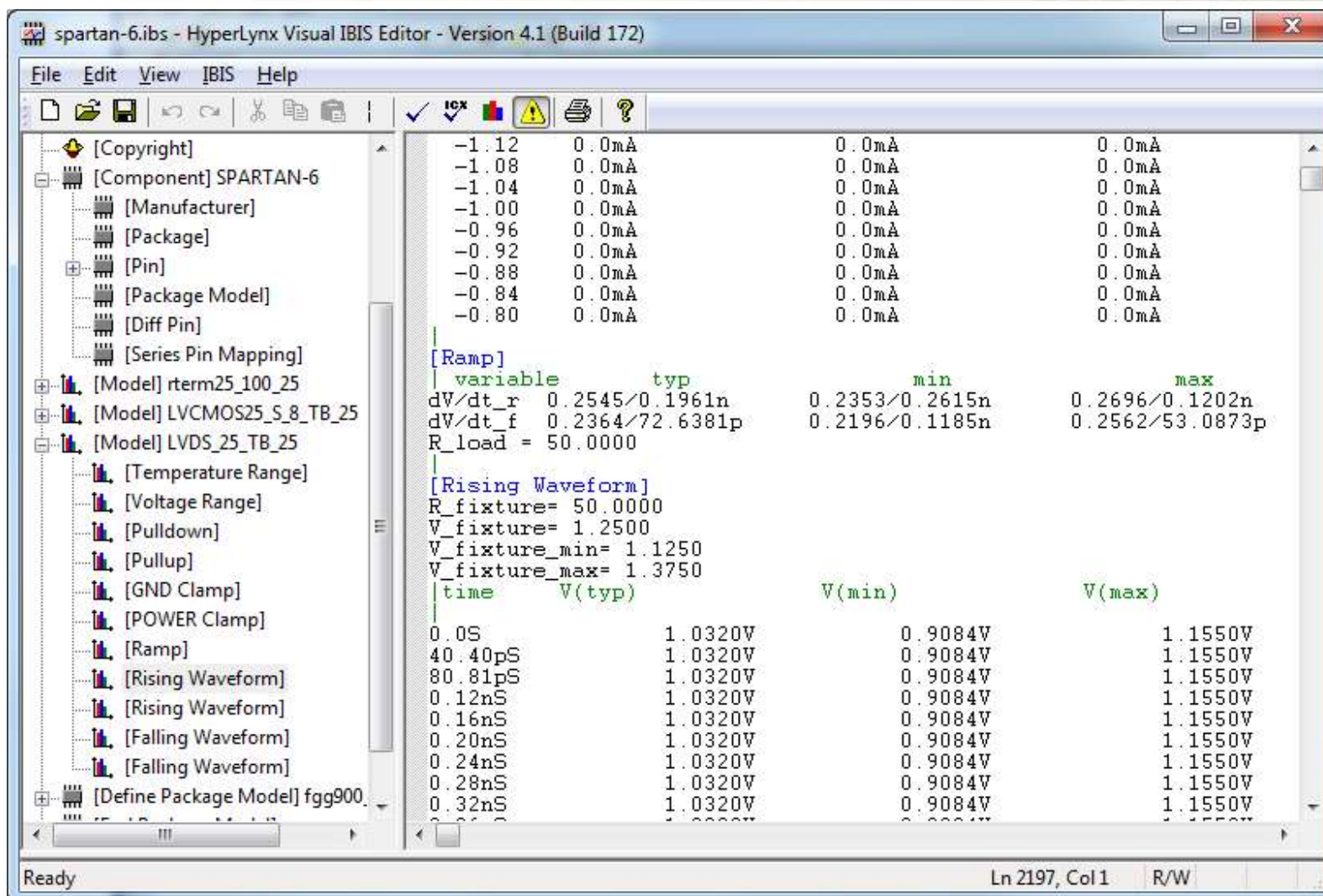
▪ Dane

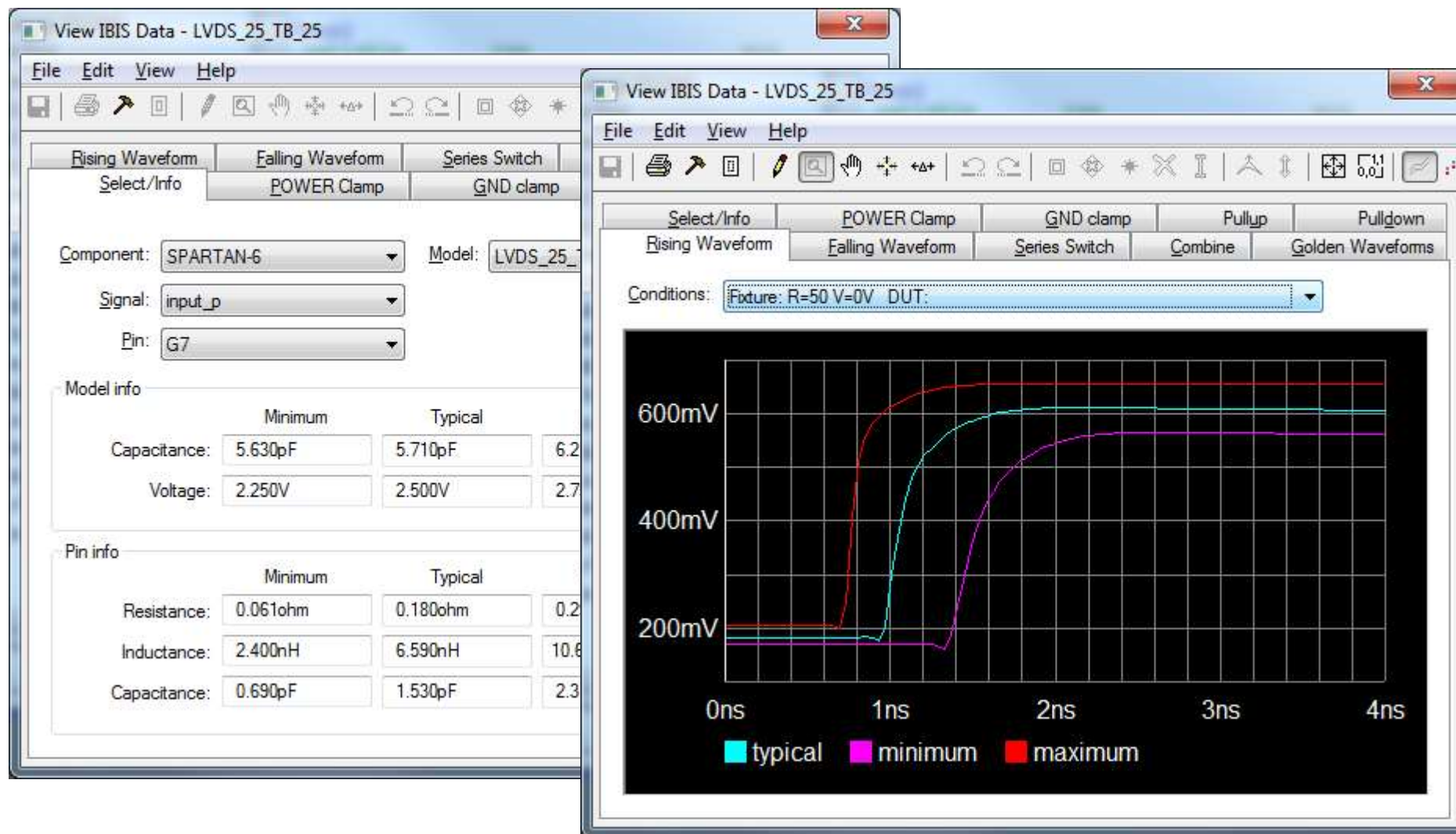
- kolejno wszystkie modele w układzie
- każdy tryb bufora programowalnego jest opisany oddzielnie
- np. dla Xilinx FPGA plik IBIS generowany jest przez SW (Vivado) i zawiera tylko te modele, które zostały użyte w projekcie



AGH

IBIS Edytor wizualny IBIS



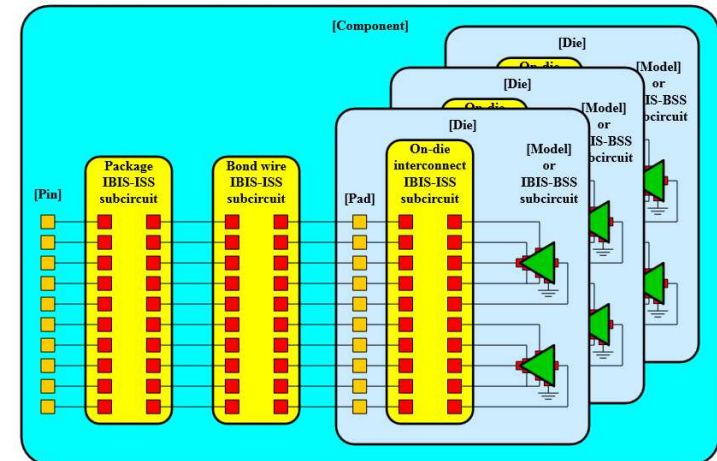


▪ **IBIS–AMI (Algorithmic Modeling Interface)**

- dla transceiverów SerDes, pozwala na symulację wielu milionów bitów w czasie kilku minut przy użyciu metod statystycznych i algorytmów DSP

▪ **IBIS–ISS (Interconnect SPICE Subcircuit)**

- elektryczny opis struktur połączeniowych (ścieżek PCB, złączy, kabli itp.)
- opis topologii struktur połączeniowych, ich relacji wzajemnych i względem aktywnych elementów systemu
- standaryzuje elementy pasywne HSPIICE (R, L, C, W-elements, S-parameters itp.)
- wspomaga modelowanie obudowy oraz buforów (dla AMI)



▪ **Touchstone 2.0**

- wzbogacony i ustandaryzowany format pliku z parametrami S

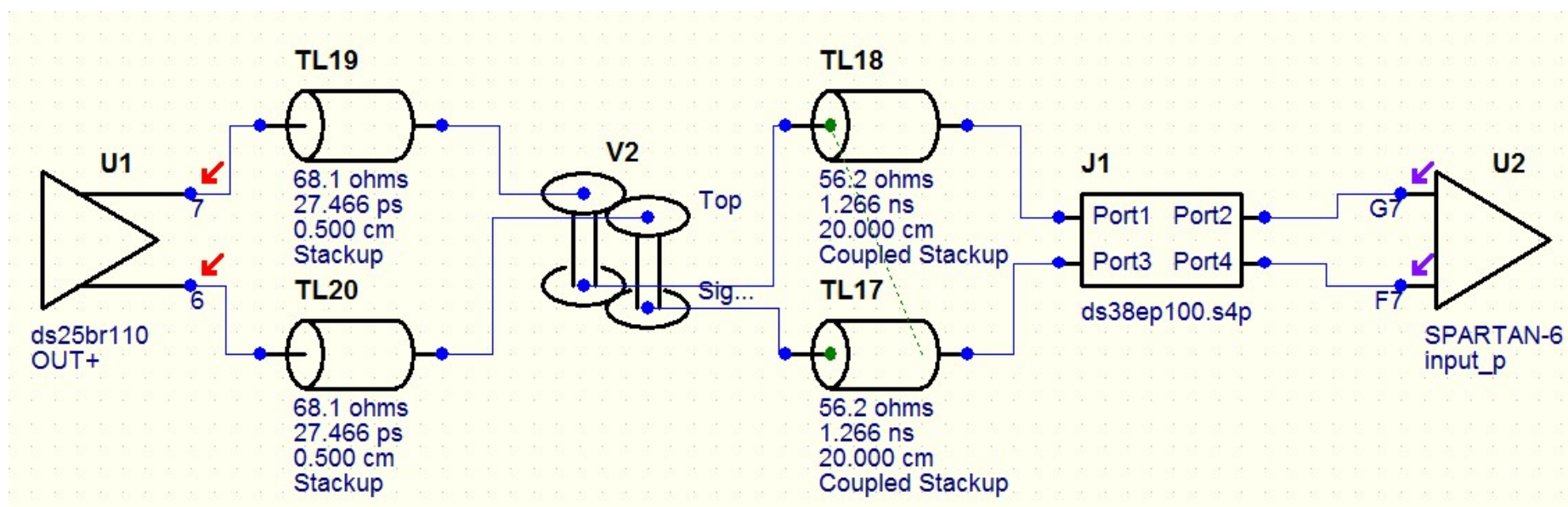


▪ **LineSim (Pre-Layout Workflow)**

- łatwy, graficzny opis kompletnego toru transmisyjnego
- zintegrowane symulatory pola 2D i 3D
- wykorzystanie modeli przemysłowych lub własnych
- modele IBIS, HSPICE, ELDO, AMS, IBIS-AMI, S-param
- dostępne zestawy projektowe dla standardów (np. PCIe, DDR3)
- przyspieszone symulacje BER

▪ **BoardSim (Post-Layout Workflow)**

- proces wsadowy automatycznie skanuje sieci na całej PCB, oznaczając krytyczne punkty SI oraz EMC
- punkty te są następnie interaktywnie symulowane
- korekcja dopasowania linii może być dokonana „w locie”
- przekroczenia poziomów przesłuchów obrazowane są na przekrojach
- możliwość symulacji złączy i systemów wielopłytkowych
- pełna weryfikacja systemów pamięci poprzez DDRx wizard
- interfejs do pełnofalowego symulatora pola 3D do szczegółowej analizy (sprężone pola przelotek, szczeliny w płaszczyznach itp.)
- współpracuje z narzędziami: Mentor Graphics, Altium, Cadence, ...



Stackup Editor

File Edit View Help

Basic Dielectric Metal Z0 Planning Custom View

	Visible	Color	Pour Draw Style	Layer Name	Type	Usage	Thickness um
1					Dielectric	Solder Mask	12
2	☒	Red	Solid	Top	Metal	Signal	36
3					Dielectric	Substrate	150
4	☒	Yellow	Solid	Plane1_24V	Metal	Plane	18
5					Dielectric	Substrate	150
6	☒	Magenta	Solid	Signal1	Metal	Signal	18
7					Dielectric	Substrate	150
8	☒	Orange	Solid	Plane2_GND	Metal	Plane	18
9					Dielectric	Substrate	150
10	☒	Purple	Solid	Signal2	Metal	Signal	18
11					Dielectric	Substrate	150
12	☒	Blue	Solid	Plane3_24V	Metal	Plane	18
13					Dielectric	Substrate	150
14	☒	Green	Solid	Signal3	Metal	Signal	18

Measurement units: Metric

Metal thickness as: Length

Top 12 um

Plane1_24V 36 um

Signal1 150 um

Plane2_GND 18 um

Signal2 150 um

Plane3_24V 18 um

Signal3 150 um

Total thickness: 4868 um

☐ Draw proportionally

☐ Use layer colors

No errors in stackup.

OK Cancel Help

Stackup Editor

File Edit View Help

Basic Dielectric Metal Z0 Planning Custom View

	Layer Name	Type	Usage	Technology	Er	Loss Tangent	Thermal Conductivity W/m.C
1		Dielectric	Solder Mask		3.3	0.02	0.3
2	Top	Metal	Signal		<Auto>	<Auto>	393.693
3		Dielectric	Substrate	Prepreg	3.6	0.02	0.3
4	Plane1_24V	Metal	Plane		<Auto>	<Auto>	393.693
5		Dielectric	Substrate	Core	3.6	0.02	0.3
6	Signal1	Metal	Signal		<Auto>	<Auto>	393.693
7		Dielectric	Substrate	Prepreg	3.6	0.02	0.3
8	Plane2_GND	Metal	Plane		<Auto>	<Auto>	393.693
9		Dielectric	Substrate	Core	3.6	0.02	0.3
10	Signal2	Metal	Signal		<Auto>	<Auto>	393.693
11		Dielectric	Substrate	Prepreg	3.6	0.02	0.3
12	Plane3_24V	Metal	Plane		<Auto>	<Auto>	393.693
13		Dielectric	Substrate	Core	3.6	0.02	0.3
14	Signal3	Metal	Signal		<Auto>	<Auto>	393.693

☒ Calculate Er for metal layers from surrounding dielectrics

Er frequency: 1000 MHz

Top Er = 3.3

Plane1_24V Er = 3.6

Signal1 Er = 3.6

Plane2_GND Er = 3.6

Signal2 Er = 3.6

Plane3_24V Er = 3.6

Signal3 Er = 3.6

☐ Draw proportionally ☐ Use layer colors

Total thickness: 4868 um

No errors in stackup.

OK Cancel Help

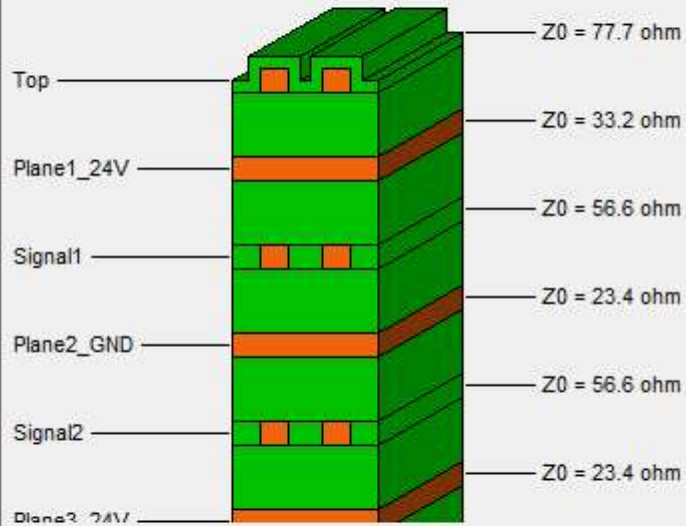
Stackup Editor

File Edit View Help

Basic Dielectric Metal Z0 Planning Custom View

	Layer Name	Type	Usage	Metal	Thickness um	Er	Bulk R ohm-m	T coe 1/°C
1		Dielectric	Solder Mask		12	3.3		
2	Top	Metal	Signal	Copper	36	<Auto>	1.724e-00	0.0039
3		Dielectric	Substrate		150	3.6		
4	Plane1_24V	Metal	Plane	Copper	18	<Auto>	1.724e-00	0.0039
5		Dielectric	Substrate		150	3.6		
6	Signal1	Metal	Signal	Copper	18	<Auto>	1.724e-00	0.0039
7		Dielectric	Substrate		150	3.6		
8	Plane2_GND	Metal	Plane	Copper	18	<Auto>	1.724e-00	0.0039
9		Dielectric	Substrate		150	3.6		
10	Signal2	Metal	Signal	Copper	18	<Auto>	1.724e-00	0.0039
11		Dielectric	Substrate		150	3.6		
12	Plane3_24V	Metal	Plane	Copper	18	<Auto>	1.724e-00	0.0039
13		Dielectric	Substrate		150	3.6		
14	Signal3	Metal	Signal	Copper	18	<Auto>	1.724e-00	0.0039

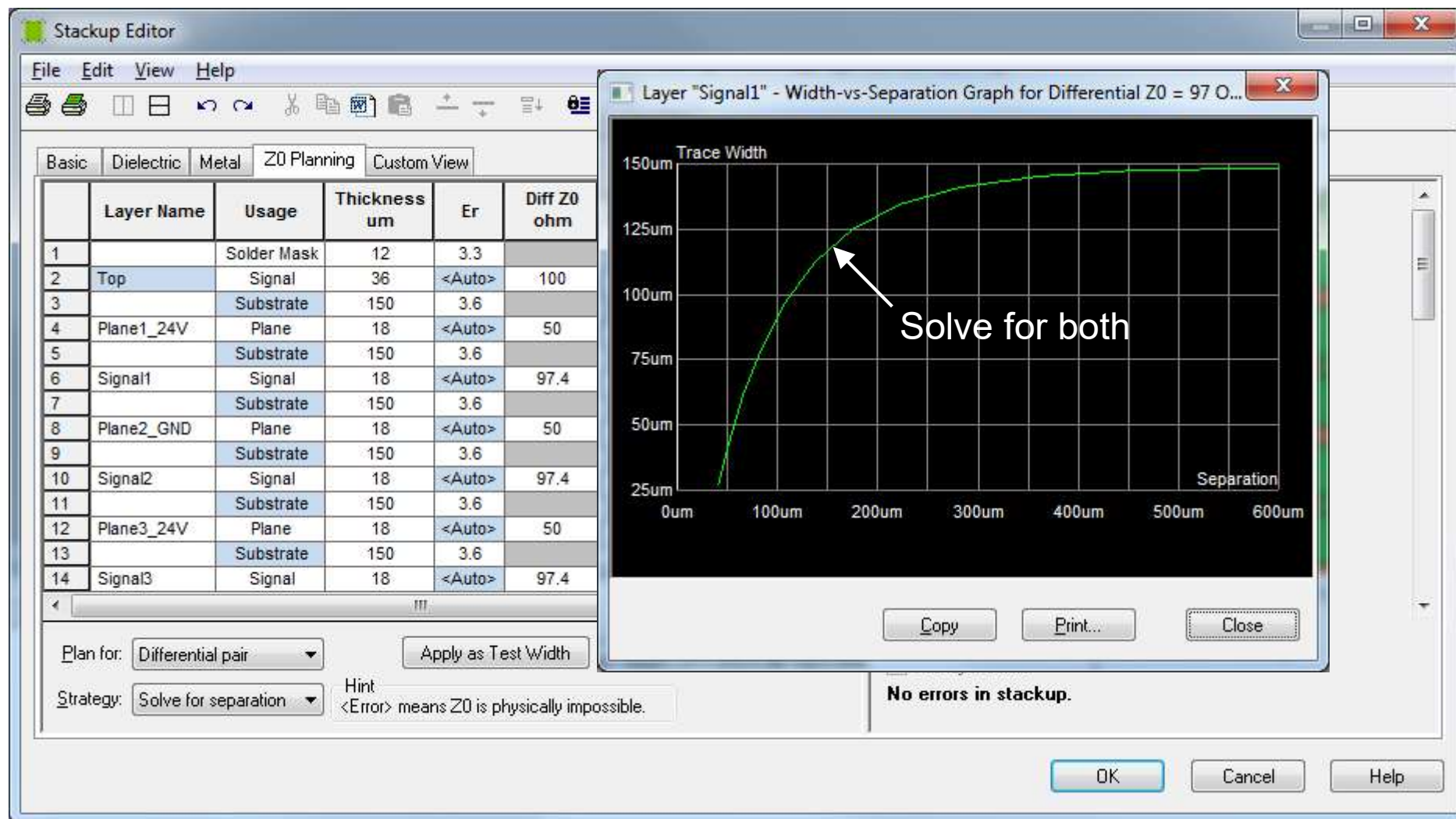
☒ Calculate Er for metal layers from surrounding dielectrics



☐ Draw proportionally
☐ Use layer colors
No errors in stackup.

Total thickness: 4868 um

OK Cancel Help



Stackup Editor

File Edit View Help

Basic Dielectric Metal Z0 Planning Custom View

	Visible	Color	Pour Draw Style	Layer Name	Type	Usage	Thickness um
24	☒	Yellow	None	Plane6_GND	Metal	Plane	18
25					Dielectric	Substrate	150
26	☒	Green	Solid	Signal6	Metal	Signal	18
27					Dielectric	Substrate	150
28	☒	Pink	None	Plane7_24V	Metal	Plane	18
29					Dielectric	Substrate	150
30	☒	Purple	Solid	Signal7	Metal	Signal	18
31					Dielectric	Substrate	150
32	☒	Teal	Solid	Bottom	Metal	Signal	36
33				Solder_Mask	Dielectric	Substrate	12
34					Dielectric	Substrate	1270
35					Dielectric	Substrate	250
36	☒	Red	None	Twisted_Pair	Metal	Signal	500
37					Dielectric	Substrate	250

Measurement units: Metric

Metal thickness as: Length

Plane7_24V Er = 3.6

Signal7 Er = 3.6

Bottom Er = 3.3

Solder_Mask Er = 1

Twisted_Pair Er = 2.1

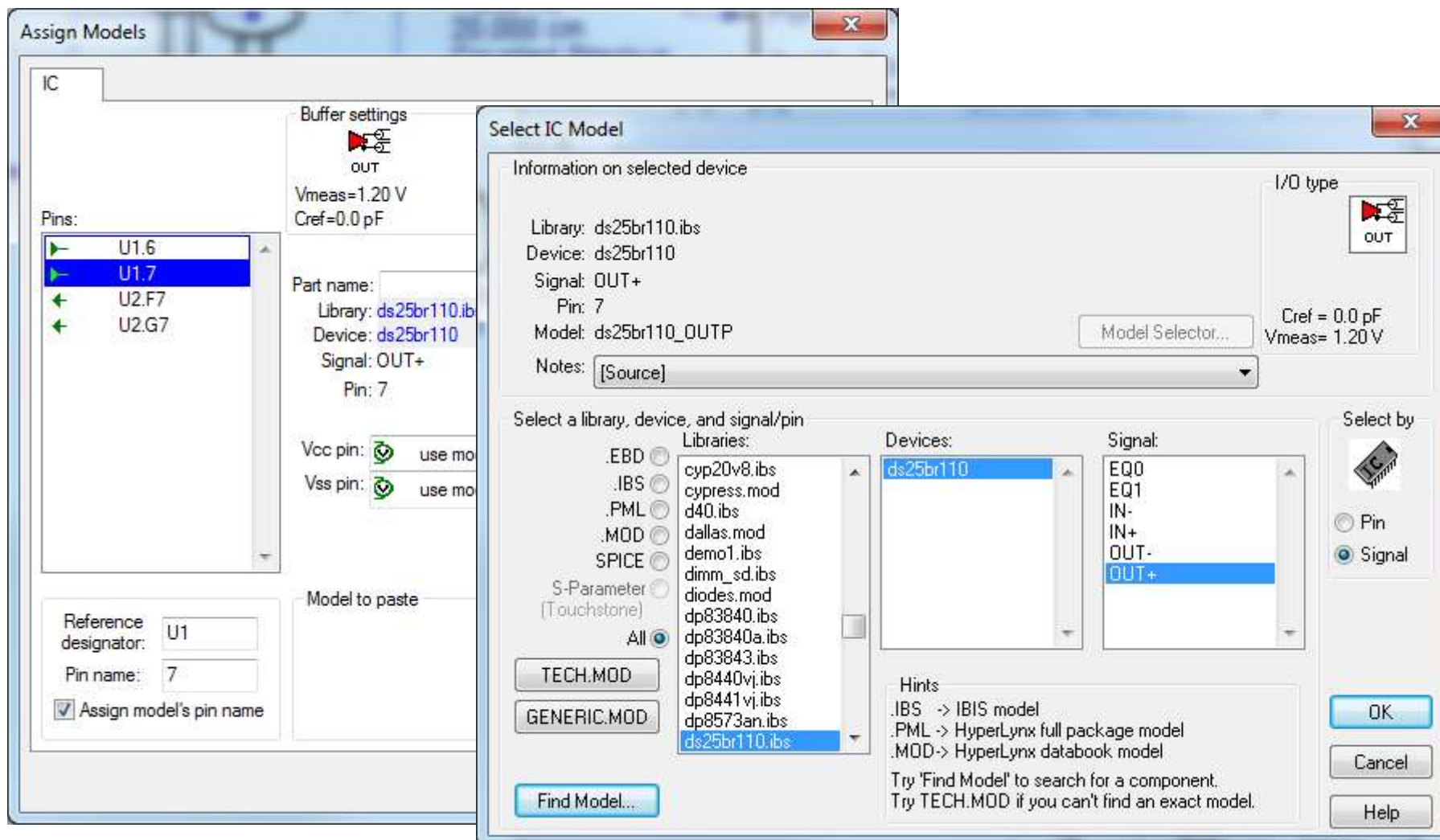
Total thickness: 4868 um

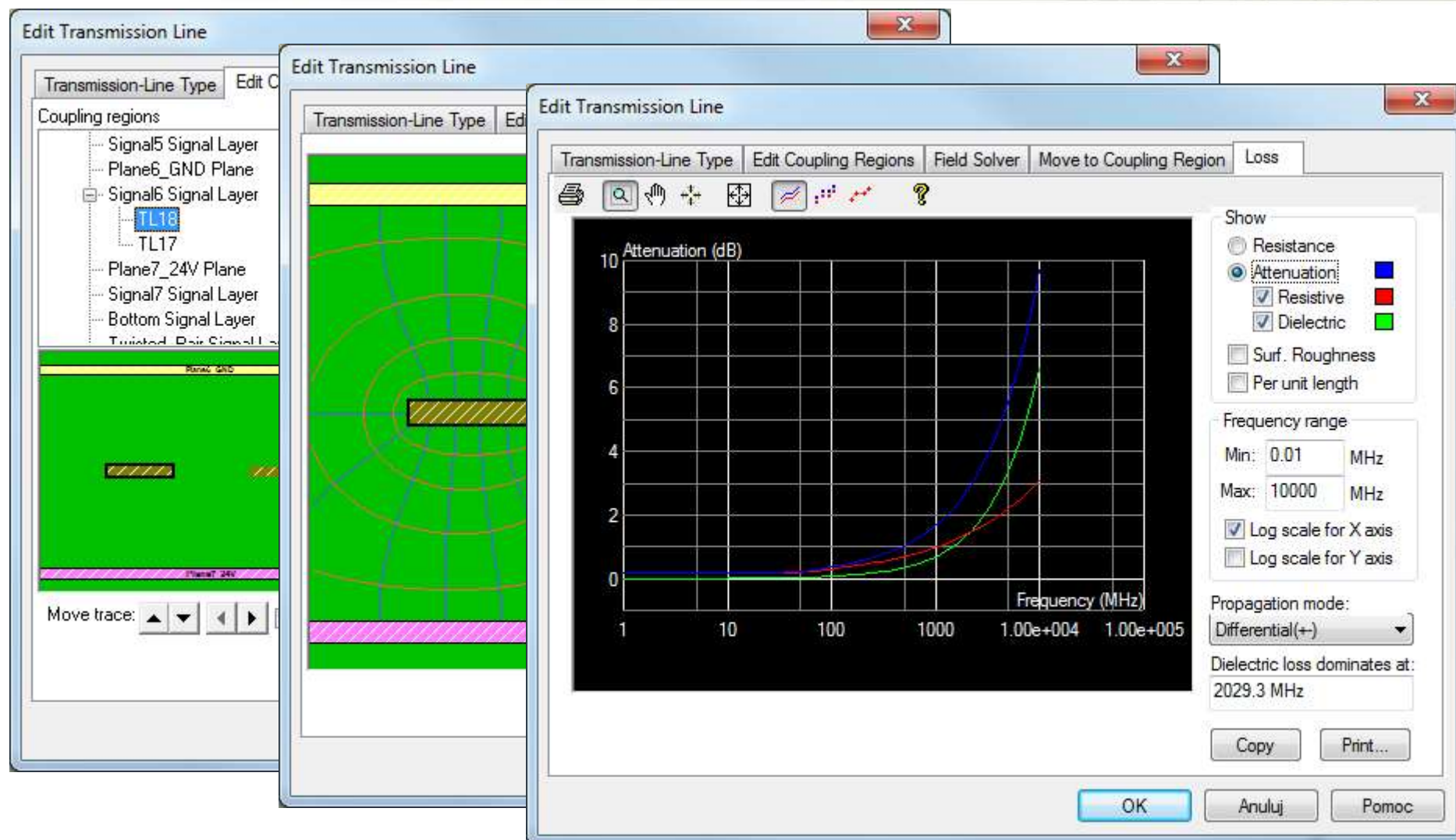
☐ Draw proportionally

☐ Use layer colors

No errors in stackup.

OK Cancel Help





Via Properties

3D EM Modeling: None

Connected Layers: 2

Padstack: [default]

☐ Common Anti-Pad

Via Separation: 1.905 mm

Padstack Editor - "[default]"

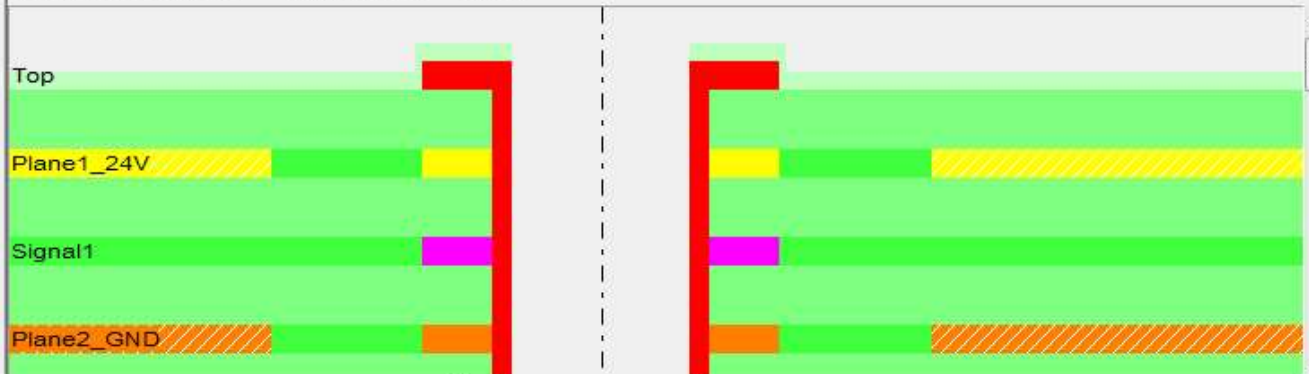
Layer span
From: Top
To: Bottom

Drill
Finished Diameter: 0.30 mm
Actual Diameter: 0.36 mm

Layer Name	Pad Shape	Pad Width mm	Pad Height mm	Pad Angle	Anti-Pad Shape	Anti-Pad Width mm
<default>	Round	0.60			<Auto>	

Buttons: OK, Cancel, Help, Add, Delete

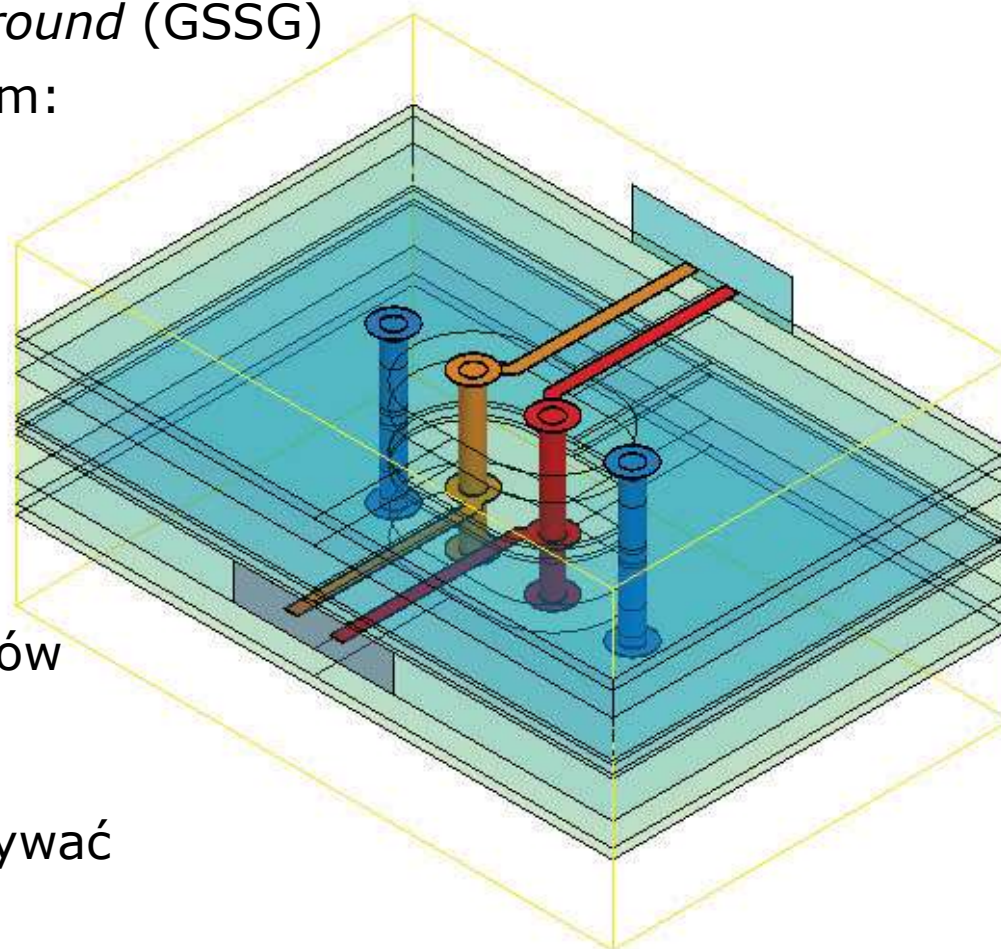
Padstack name: "[default]" Layer span "Top" - "Bottom"



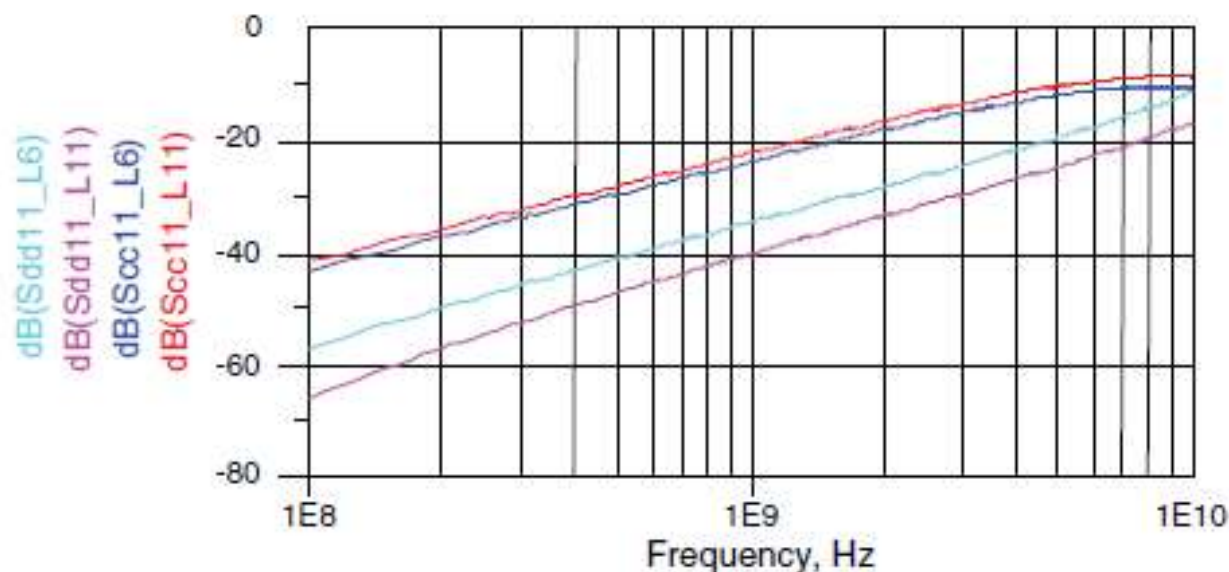
Hint
To see a top view of a pad, point to the pad, right-click, and select View TopView.

☐ Draw proportionally
☐ Fit to window
☒ Use layer colors

- układ *Ground-Signal-Signal-Ground* (GSSG)
- rozmiary startowe dla PCB 2mm:
 - *GSSG Via Pitch = 40 mils*
 - *Via Diameter = 12 mils*
 - *Pad Diameter = 22 mils*
 - *Annular Ring = 5 mils*
 - *Oblong Antipads =
~55 mils x 95 mils
aligned with ground pads*
- skalowanie wszystkich wymiarów dla zachowania impedancji (ew. symulacja 3D modelu)
- w miarę możliwości wykorzystywać całą długość przelotek

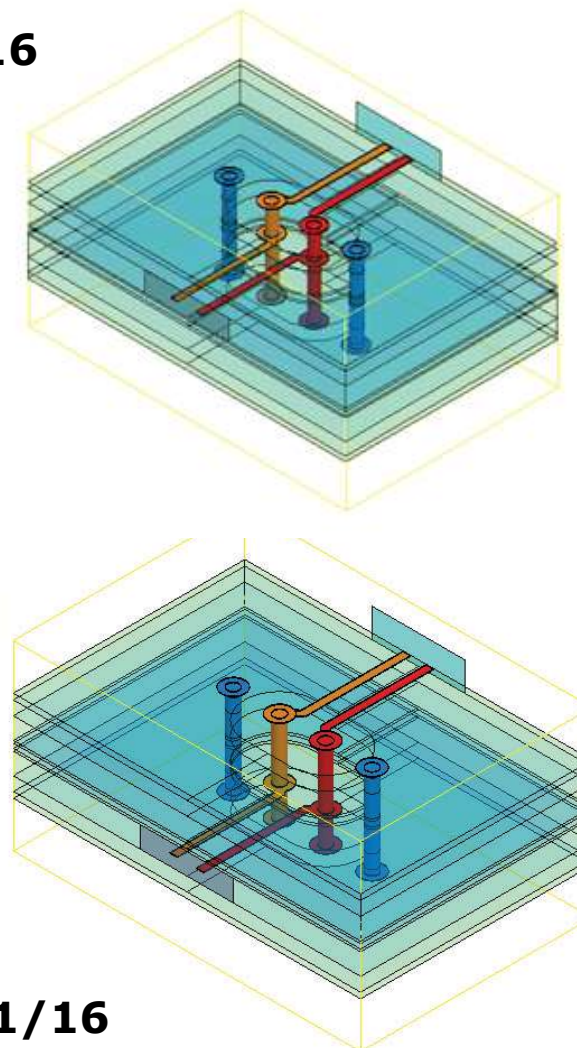


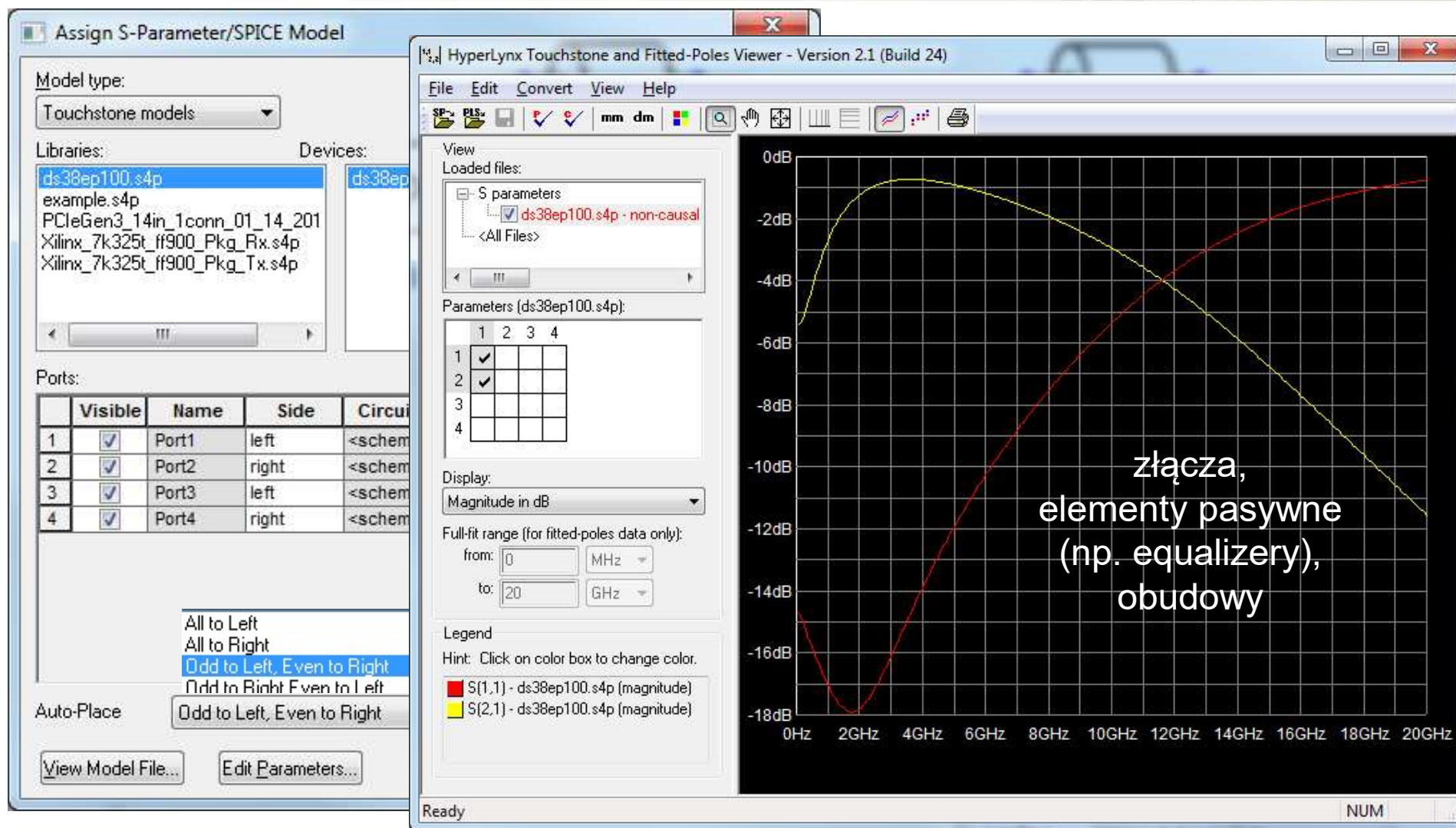
Layer #6/16

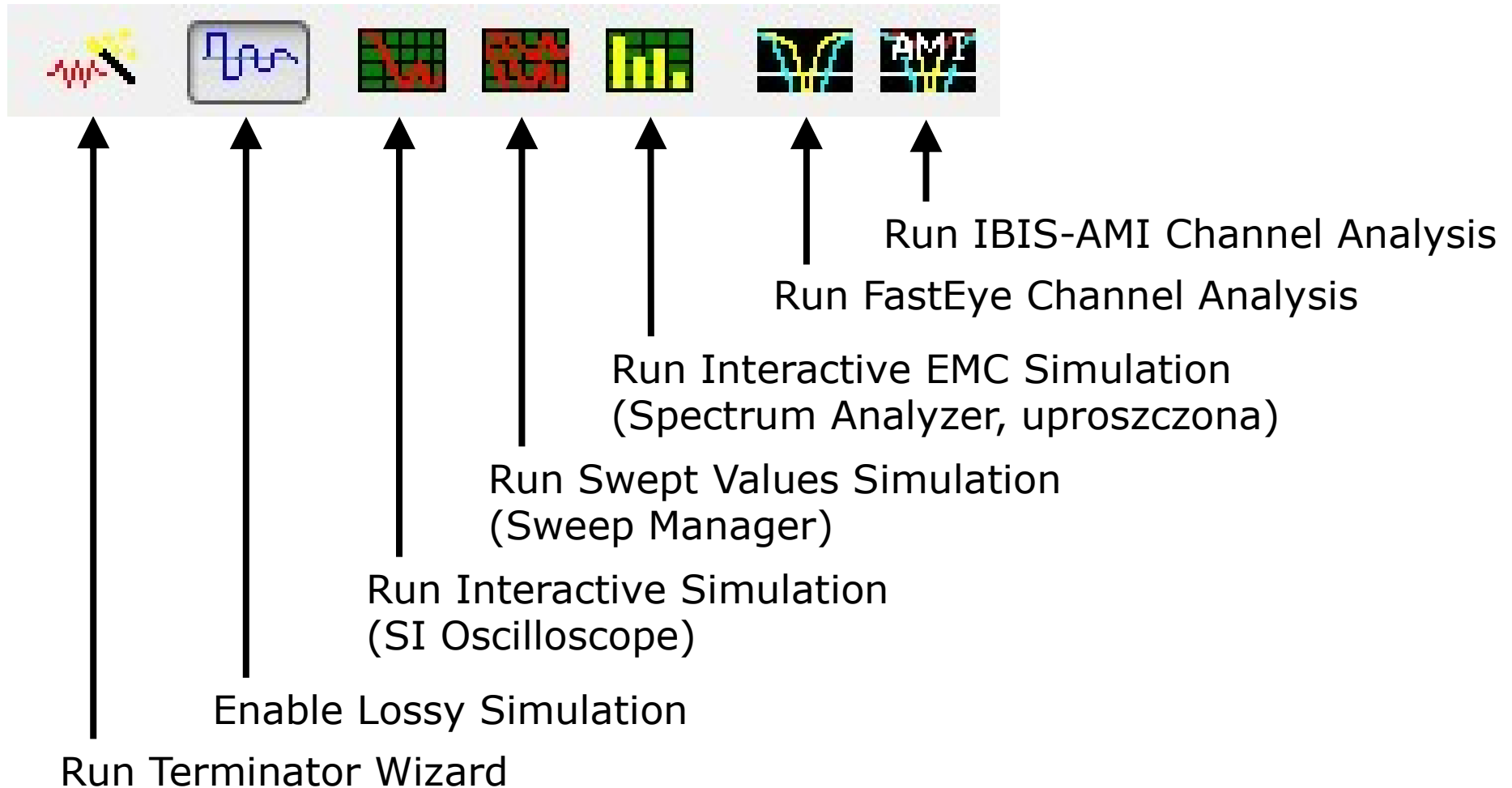


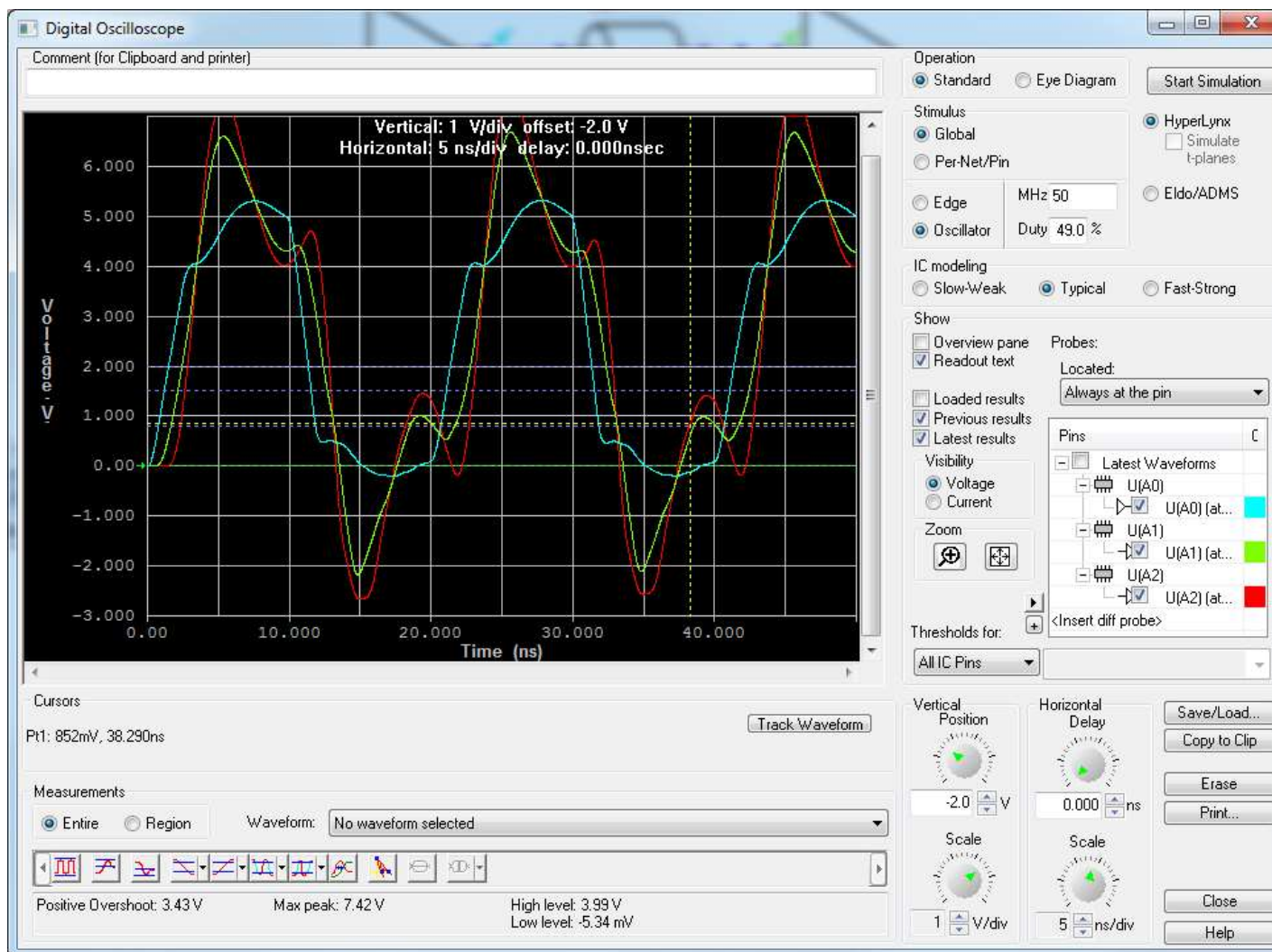
- straty odbiciowe w trybie wspólnym (Scc11) są o 20dB większe niż w trybie różnicowym (Sdd11)
- wniosek – wyrównywać długości ścieżek w parze dla każdego odcinka pomiędzy przelotkami, a nie tylko dla całości połączenia !

Layer #11/16











AGH

HyperLynx SI SI Oscilloscope



Operation
☒ Standard ☐ Eye Diagram Start Simulation

Stimulus
☒ Global ☐ Per-Net/Pin

☒ Edge ☐ Rising edge ☐ Falling edge
☐ Oscillator ☒ Edo/ADMS

☒ HyperLynx ☐ Simulate t-planes
☐ Eldo/ADMS

Vertical Position: -4.0 V
Scale: 2 V/div

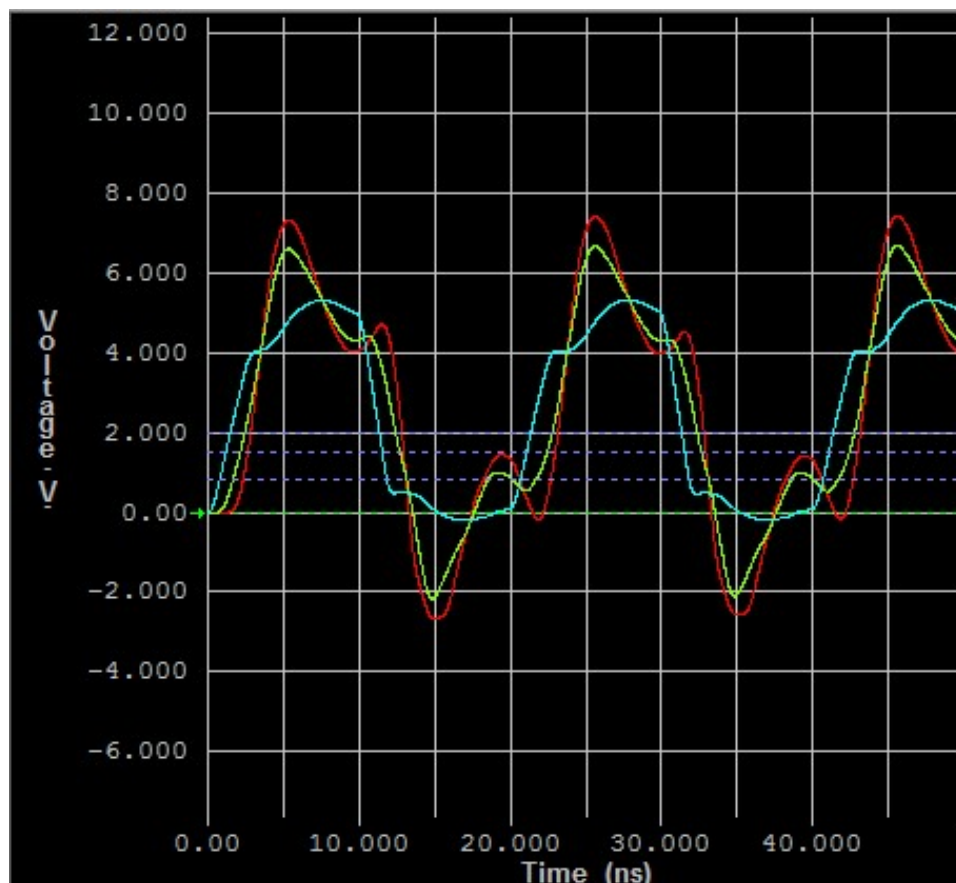
Horizontal Delay: 21.000 ns
Scale: 5 ns/div

Save/Load...
Copy to Clip
Erase
Print...
Close
Help

Cursors
Cursor: 6.977V, 26.462ns Track Waveform

Measurements
☒ Entire ☐ Region Waveform: No waveform selected

Positive Overshoot: 3.43 V Max peak: 7.42 V High level: 3.99 V
Low level: -5.34 mV



Show

☐ Overview pane
☒ Readout text

☐ Loaded results
☒ Previous results
☒ Latest results

Visibility

☒ Voltage
☐ Current

Zoom

Probes:

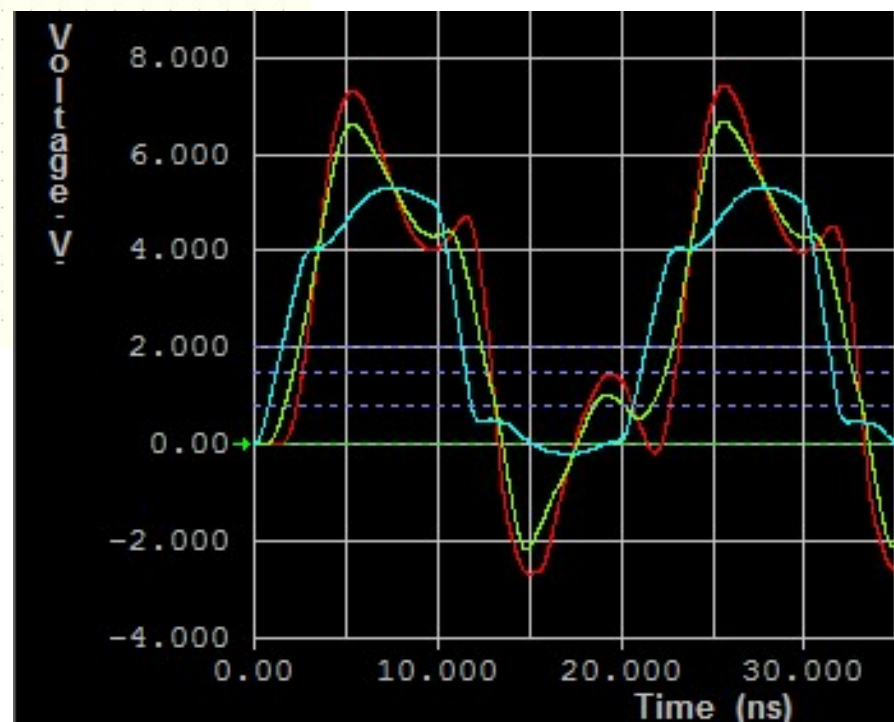
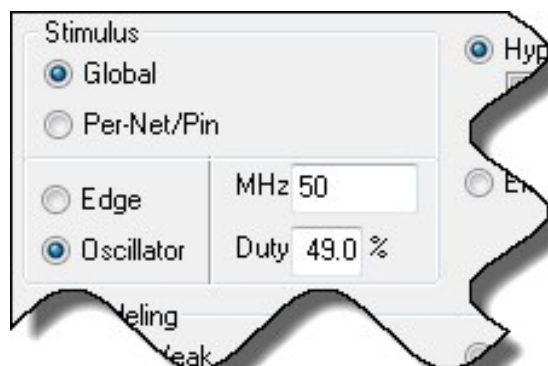
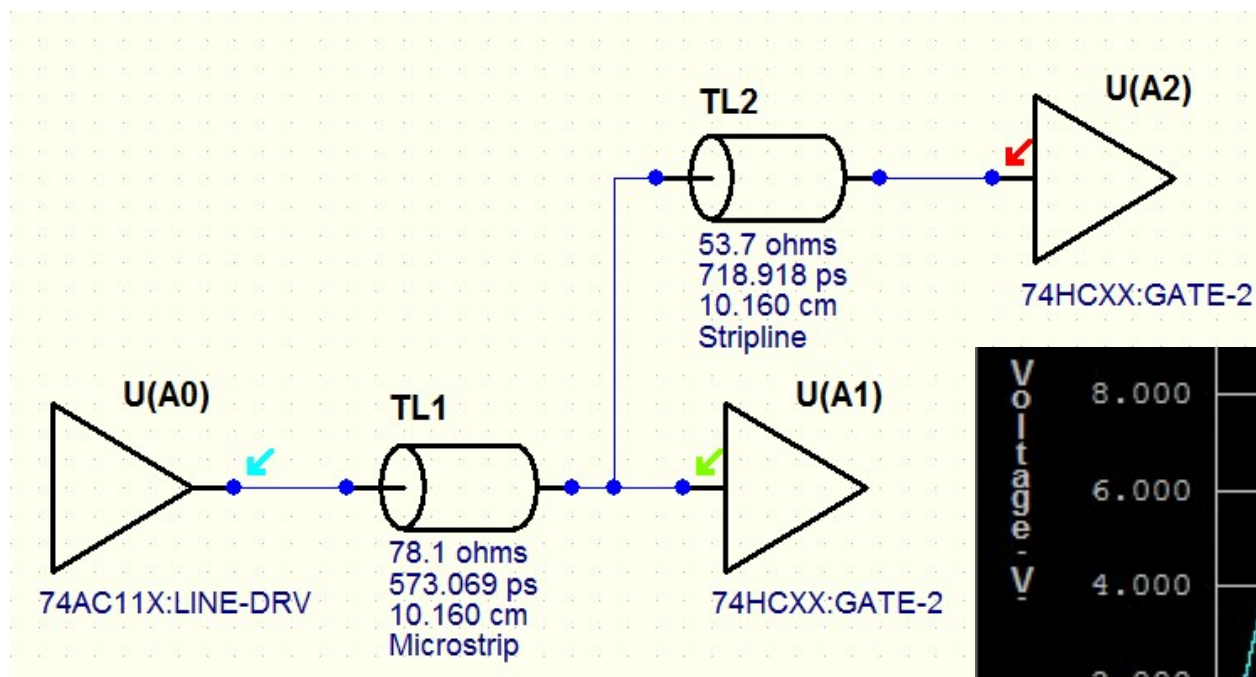
Located:
Always at the pin

Pins

Pin	Probe	Color
U(A0)	☒ U(A0) (at...)	Cyan
U(A1)	☒ U(A1) (at...)	Green
U(A2)	☒ U(A2) (at...)	Red

<Insert diff probe>

Thresholds for:
All IC Pins



Terminator Wizard

Terminator analysis

Net name: Lsw00

Number driver IC's: 1

Number receiver IC's: 2

Number resistors: 0

Number capacitors: 0

Driver impedance: 8.0 ohms

Driver transition time: 1.900 ns

Total net length, including packaging: 20.320 cm

Impedance Z0: 63.4 ohms

Effective Z0: 54.0 ohms

Termination found: none

Termination suggested: parallel AC

Resistor suggested: 54.0 ohms

Capacitor suggested: 185.5 pF

Messages:

**Net too long! Try adding an AC terminator.
Or reroute to reduce the net length.
Or choose a driver with a slower output.**

Termination suggestions

Apply Values

Apply tolerance:
Exact Value

Hints

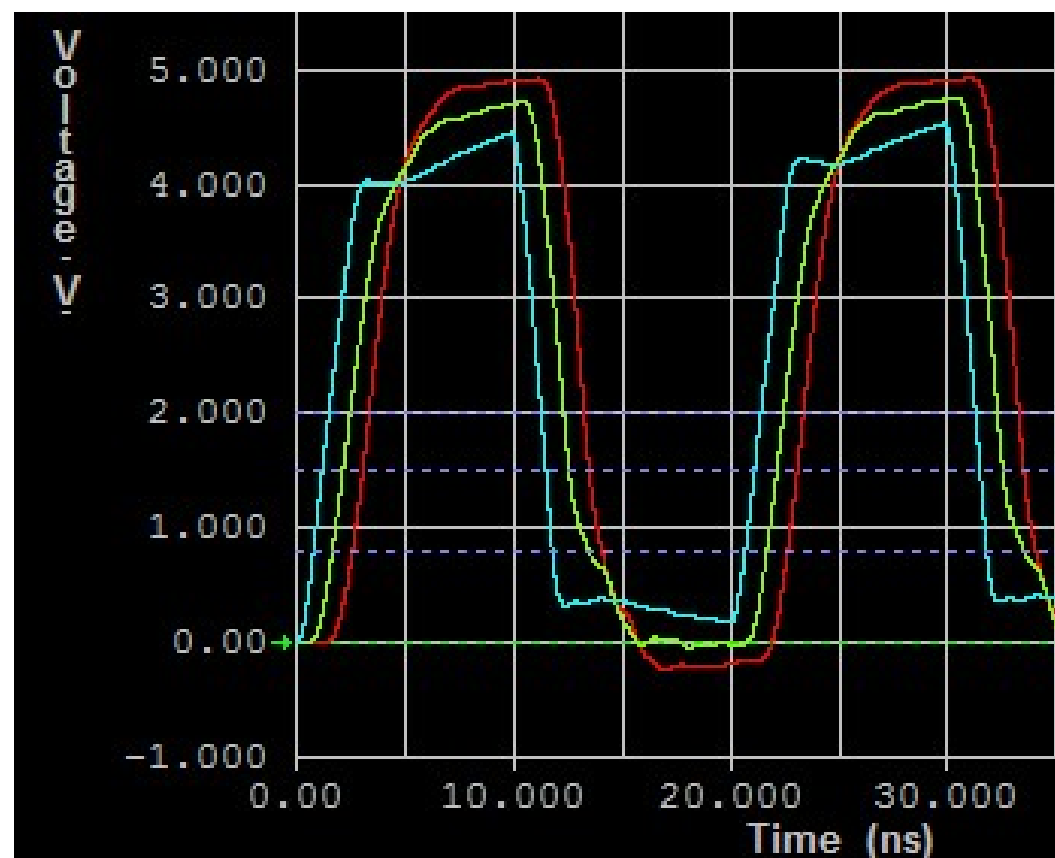
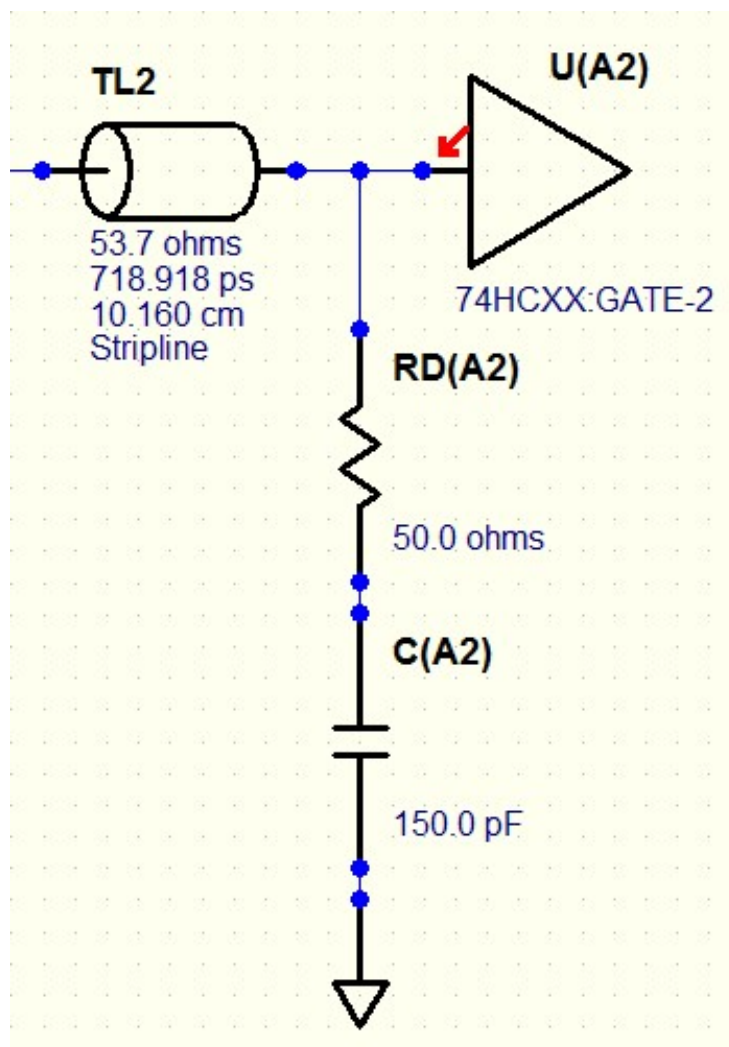
Effective impedance includes the average line impedance and receiver loading.

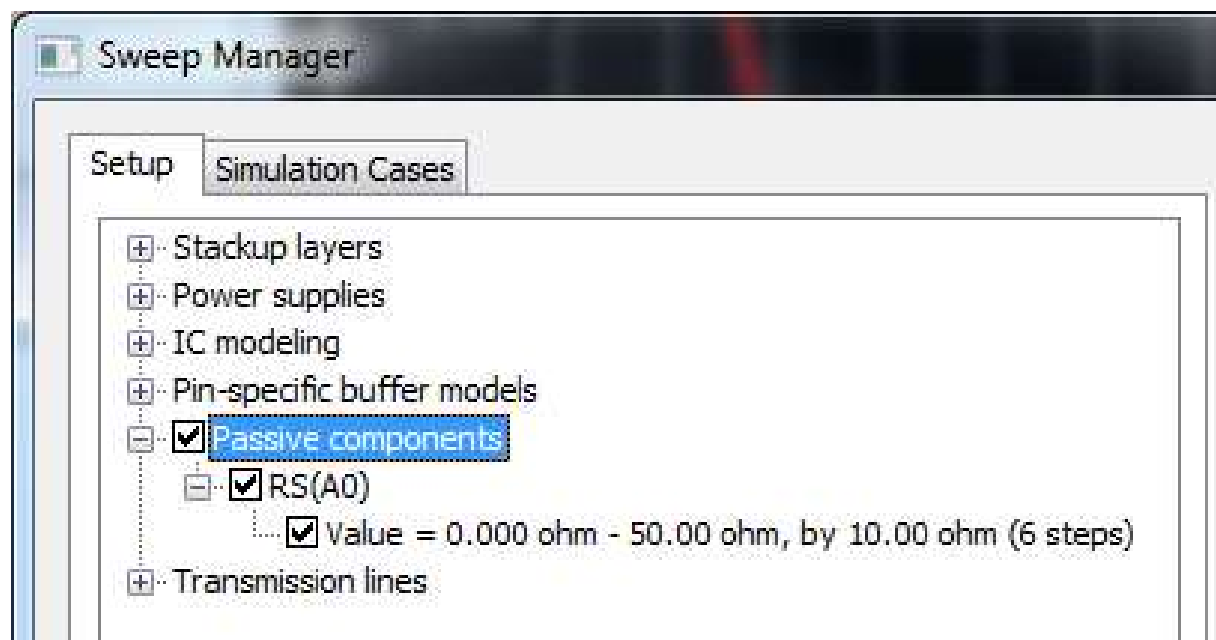
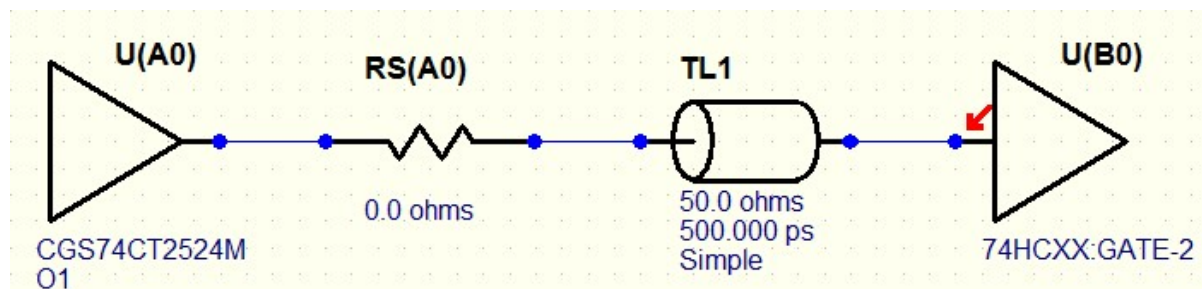
Delays are copper only; IC loading/thresholds and signal reflections are not included.

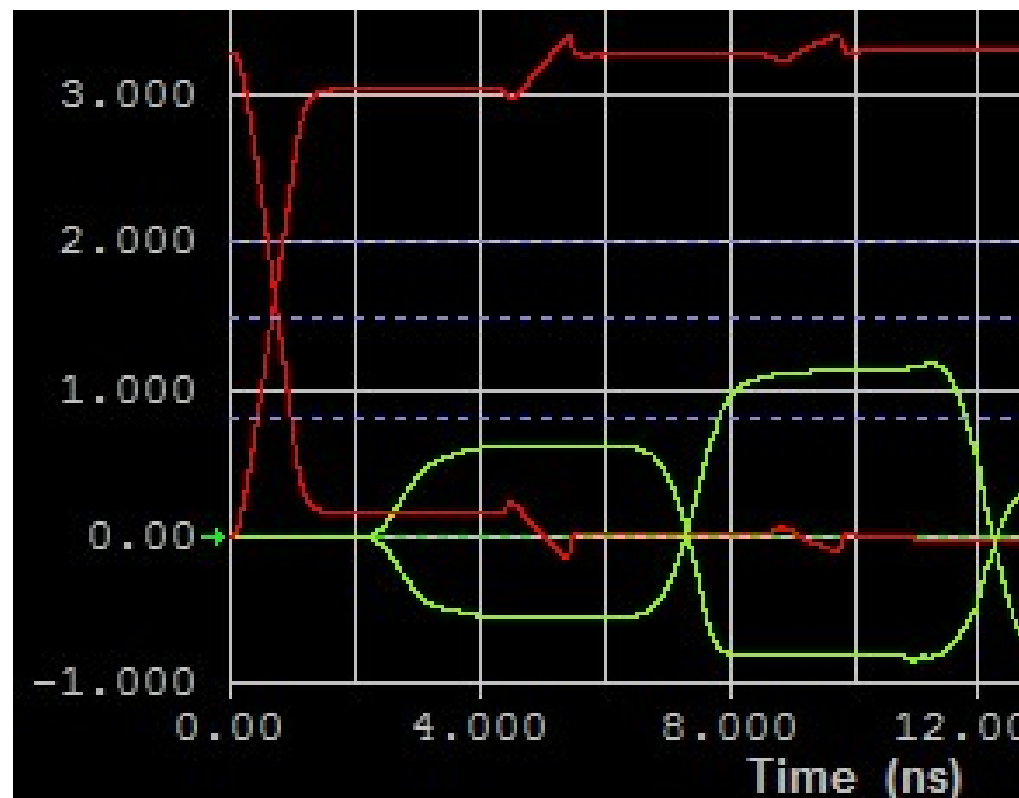
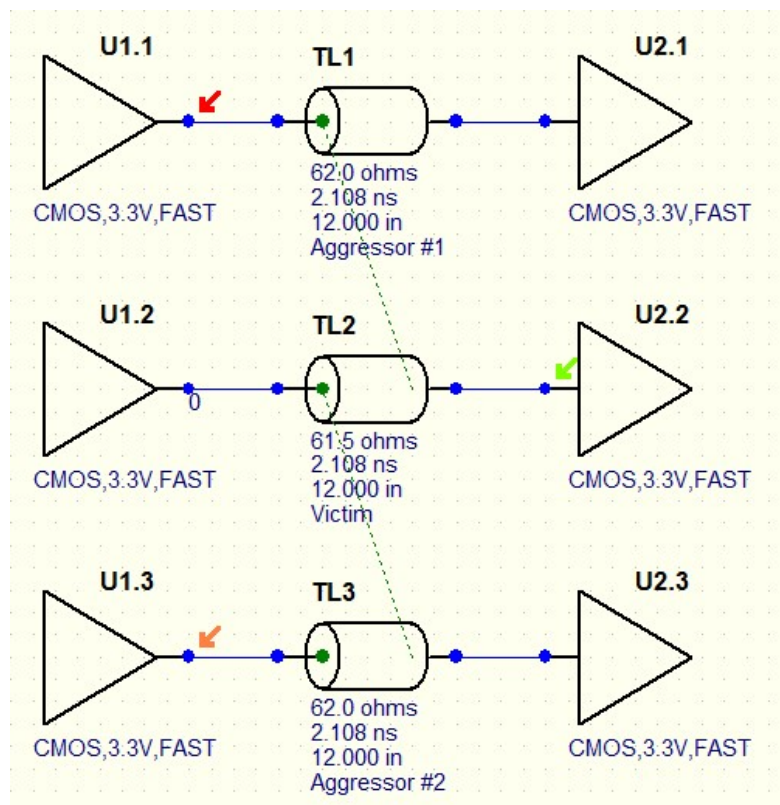
Preferences...

OK

Help







Pins:

- U1.1
- U1.2
- U1.3
- U2.1

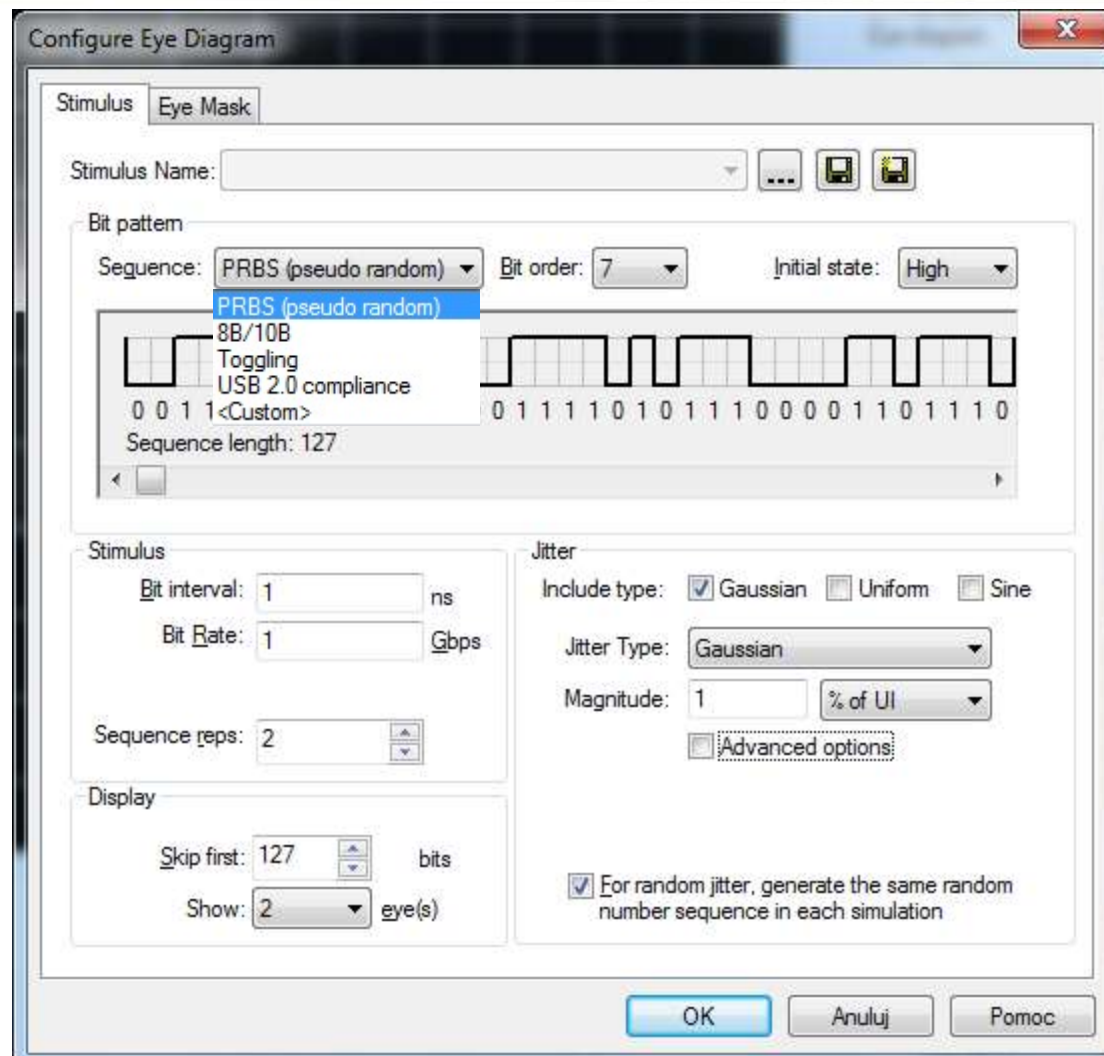
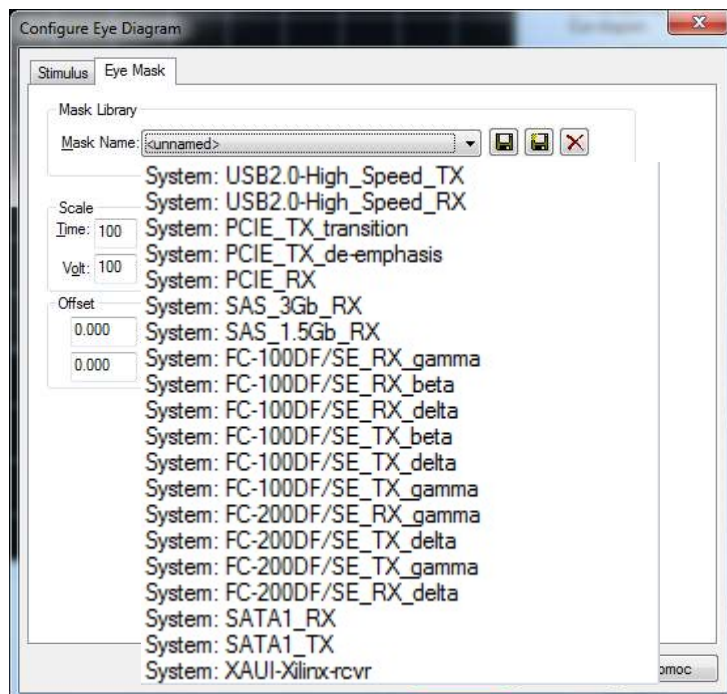
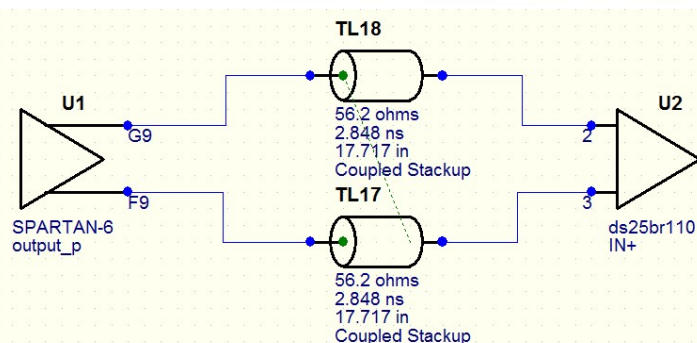
Buffer settings

☐ Input
☐ Output
☐ Output Inverted

☐ Stuck High
☒ Stuck Low

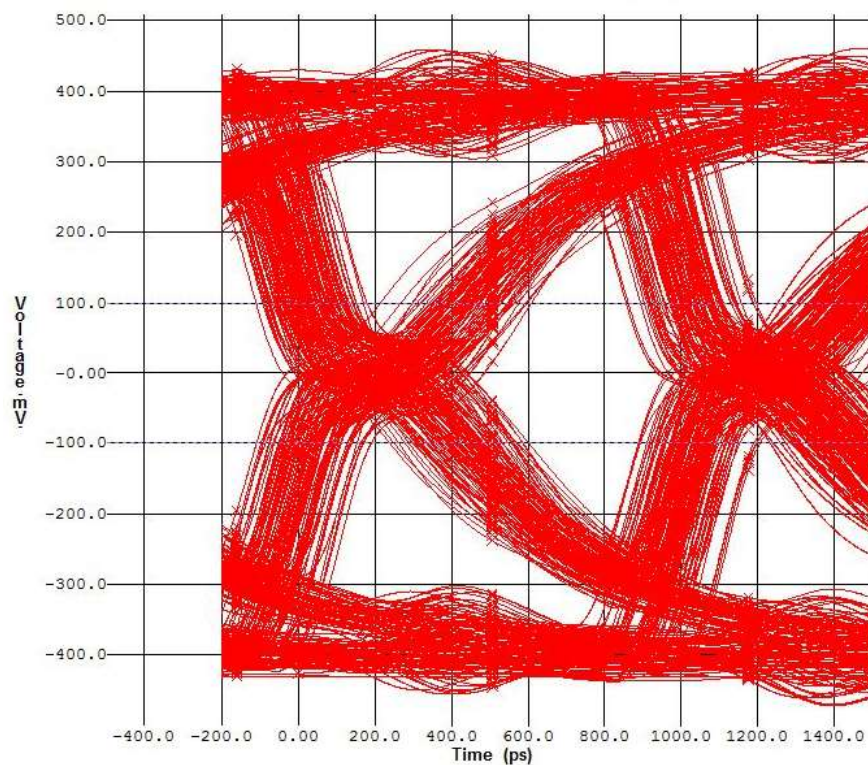
Vmeas=1.50 V
 Cref=50.0 pF

Minimalizacja przesłuchów poprzez np. oddalenie od siebie ścieżek, zmianę *stackupu* (zmniejszenie grubości izolatora od płaszczyzny masy) itp.

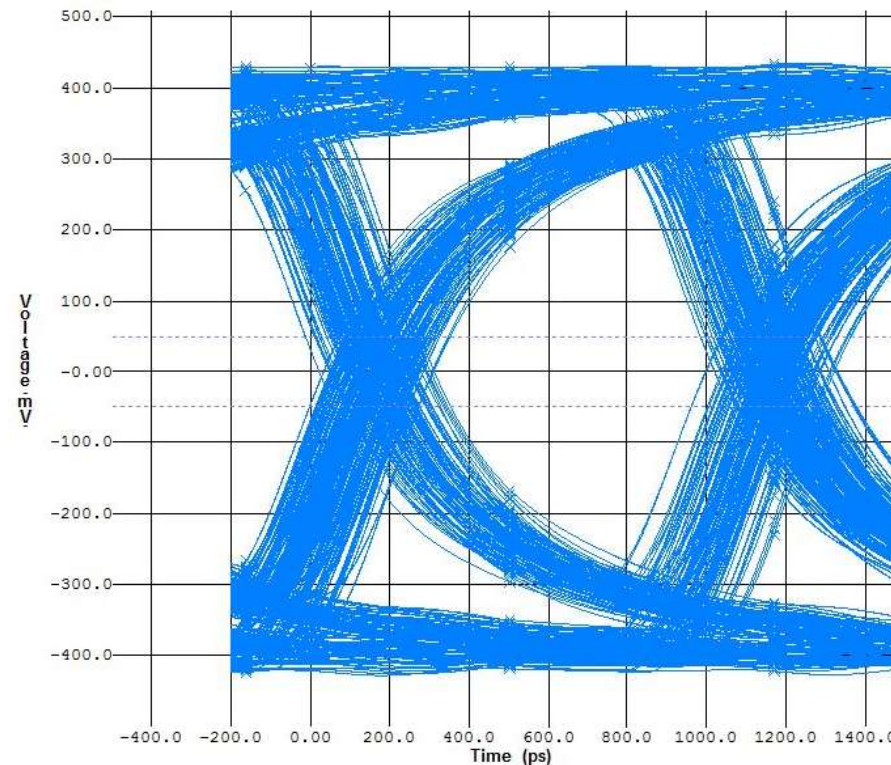


LVDS @ 1Gbps

Spartan-6: **10pF**



DS25BR110: **1.7pF**



- buduje analityczny model kanału w dziedzinie częstotliwości
- warunek: liniowy lub prawie-liniowy charakter kanału
- generuje wykresy: *eye diagram*, *BER*, *contour*, *bathtub curve*
- szybsze wyniki dla długich sekwencji
- pobudzenie wewnętrzne lub zewnętrzne
- *worst-case bit sequence*
(maksymalnie zamknięte oko)
- wielostopniowa definicja kanału (wizard)

Introduction

Choose New/Saved Analysis

FastEye/Worst-case Analysis

Set Up Channel Characterizations

Define Stimulus

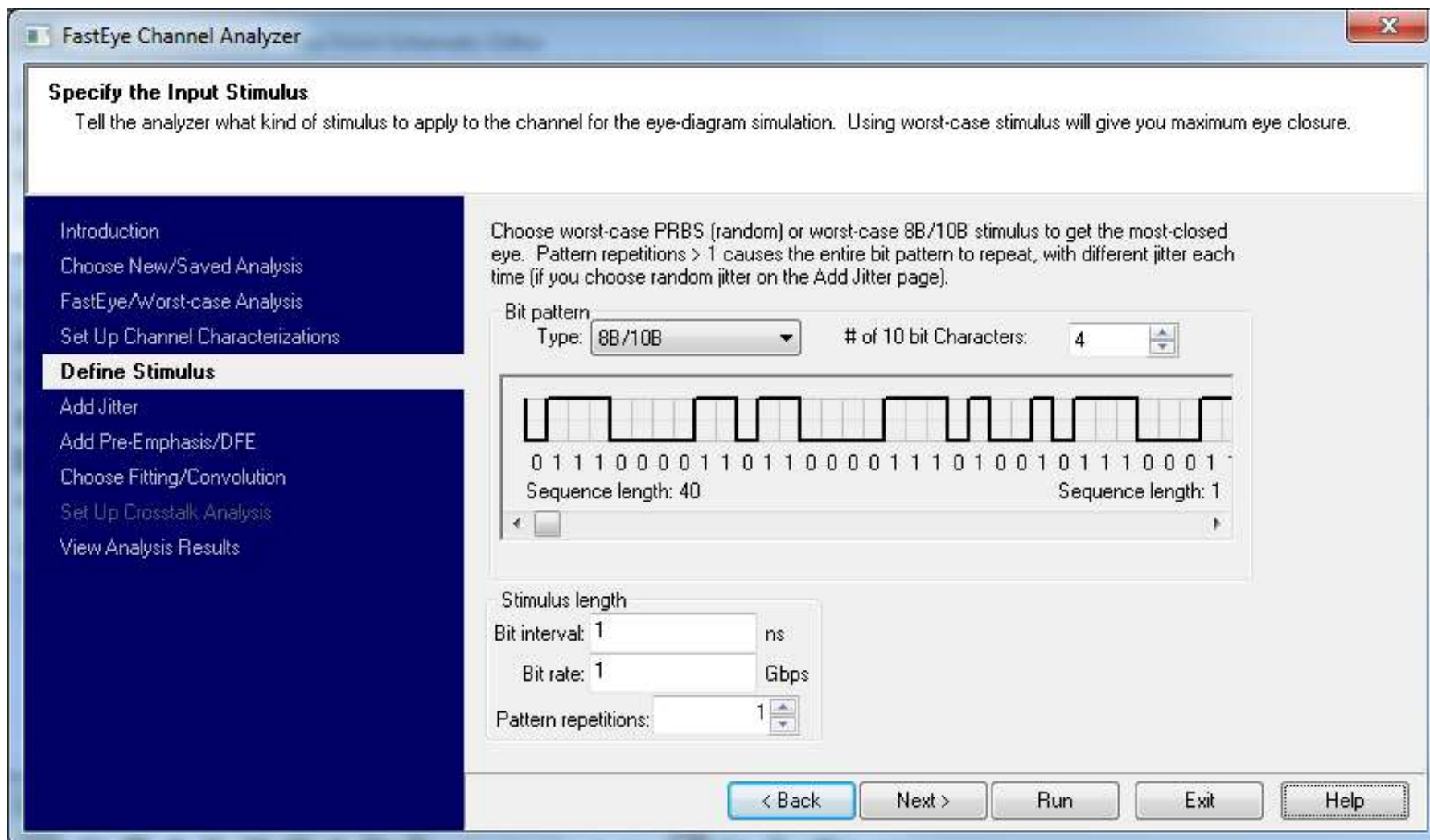
Add Jitter

Add Pre-Emphasis/DFE

Choose Fitting/Convolution

Set Up Crosstalk Analysis

View Analysis Results



FastEye Channel Analyzer

Add Jitter to the Input Stimulus
You can add any combination of Gaussian, uniform, or sine jitter to the input stimulus for your channel.

Introduction
Choose New/Saved Analysis
FastEye/Worst-case Analysis
Set Up Channel Characterizations
Define Stimulus
Add Jitter
Add Pre-Emphasis/DFE
Choose Fitting/Convolution
Set Up Crosstalk Analysis
View Analysis Results

Optionally add jitter to your channel input stimulus. The Gaussian distribution extends to +/- infinity, so you specify the standard deviation (sigma). You can add sine (deterministic) or uniform jitter to model effects like crosstalk or supply noise. If you are not sure what type of jitter to use, enable only Gaussian and take the value from your driver IC's data sheet. Frequencies are typically orders of magnitude lower than the bit rate; "initial phase" can almost always be set to zero. Analysis runs much faster without jitter, so consider starting with a jitterless simulation to see how closed your eye already is.

☒ **Add Gaussian jitter** ☒ Generate the same random number sequence for each simulation

Standard Deviation: 1 % of UI

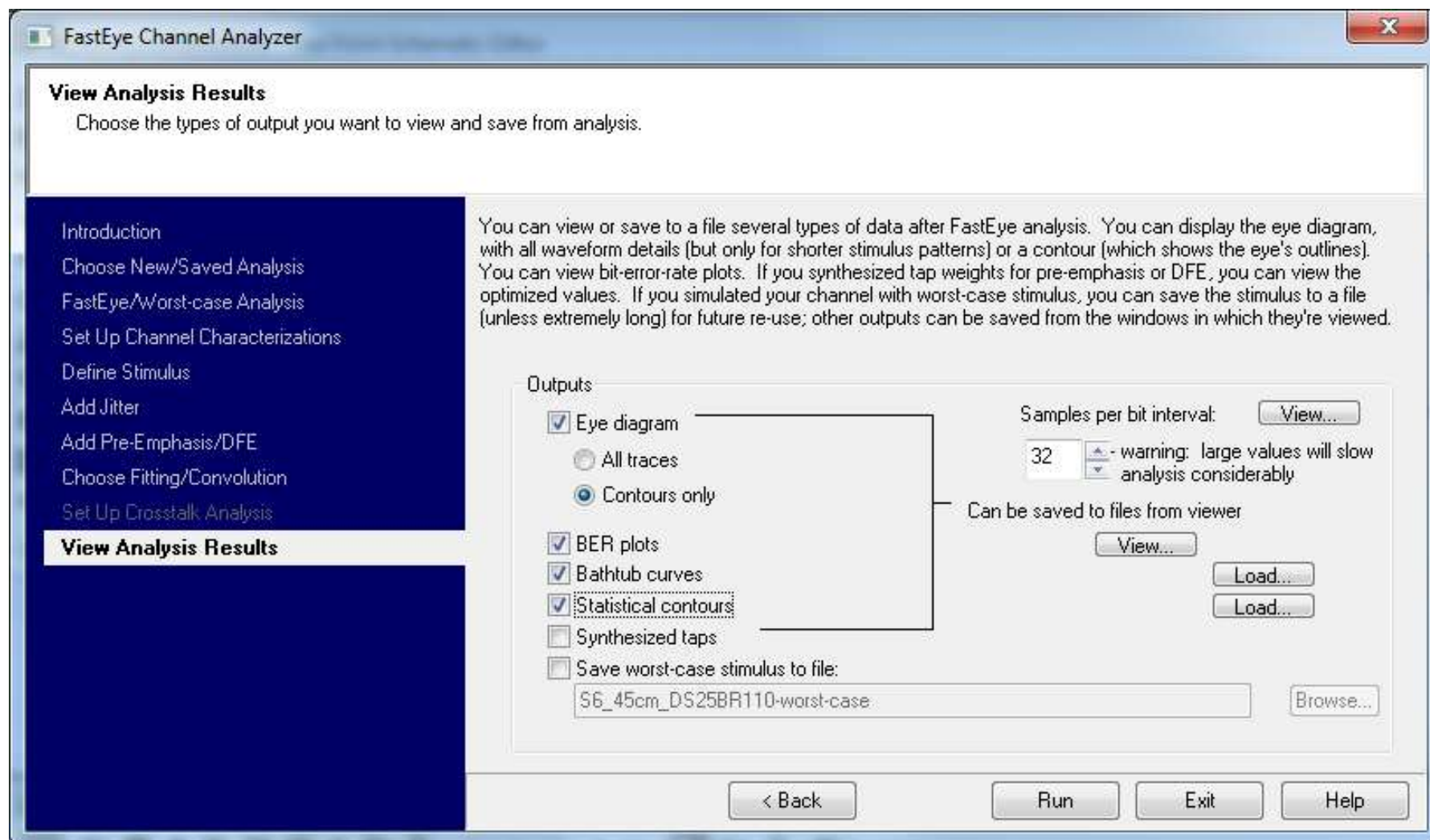
☐ **Add uniform jitter**

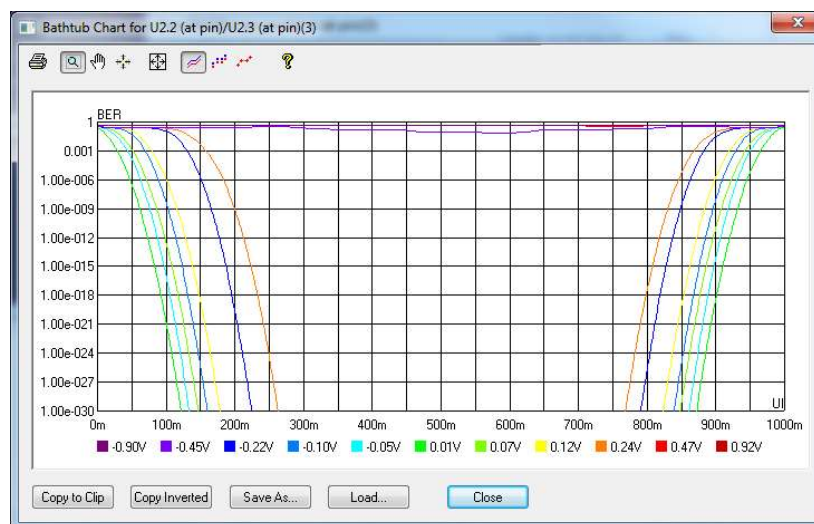
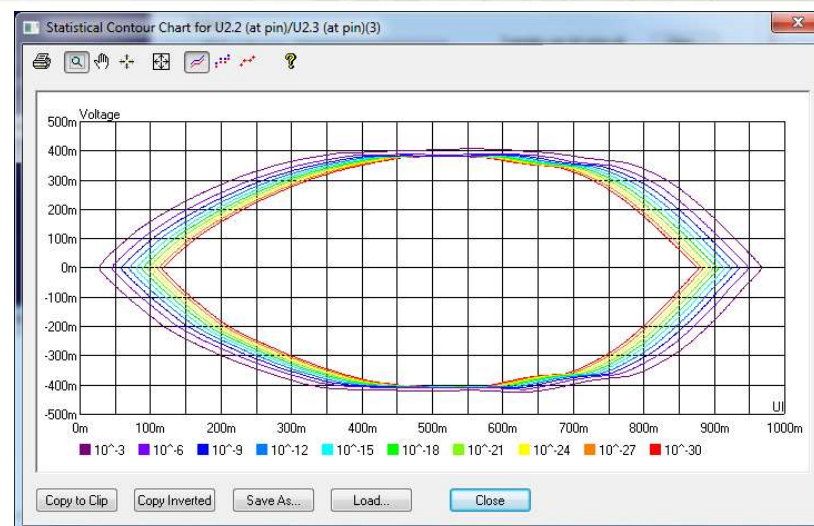
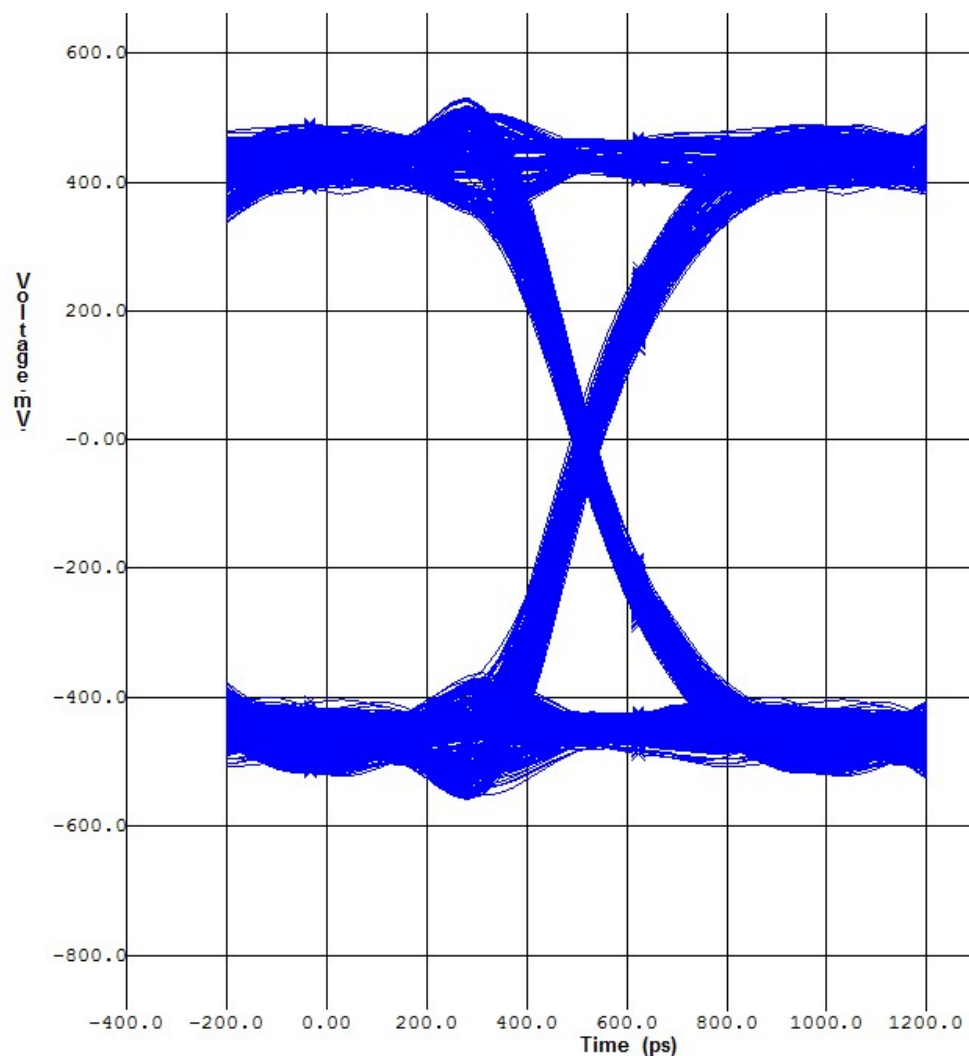
Magnitude: 0 % of UI >>

☐ **Add sine jitter**

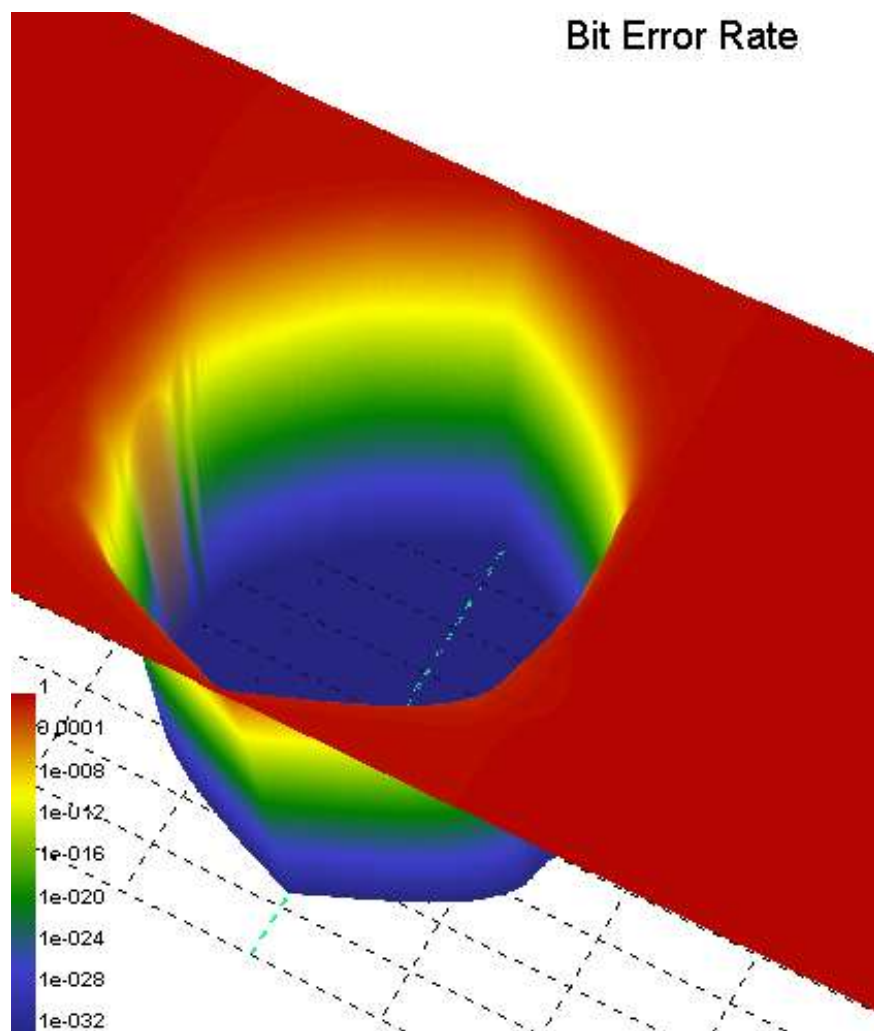
Magnitude: 1 % of UI

< Back Next > Run Exit Help

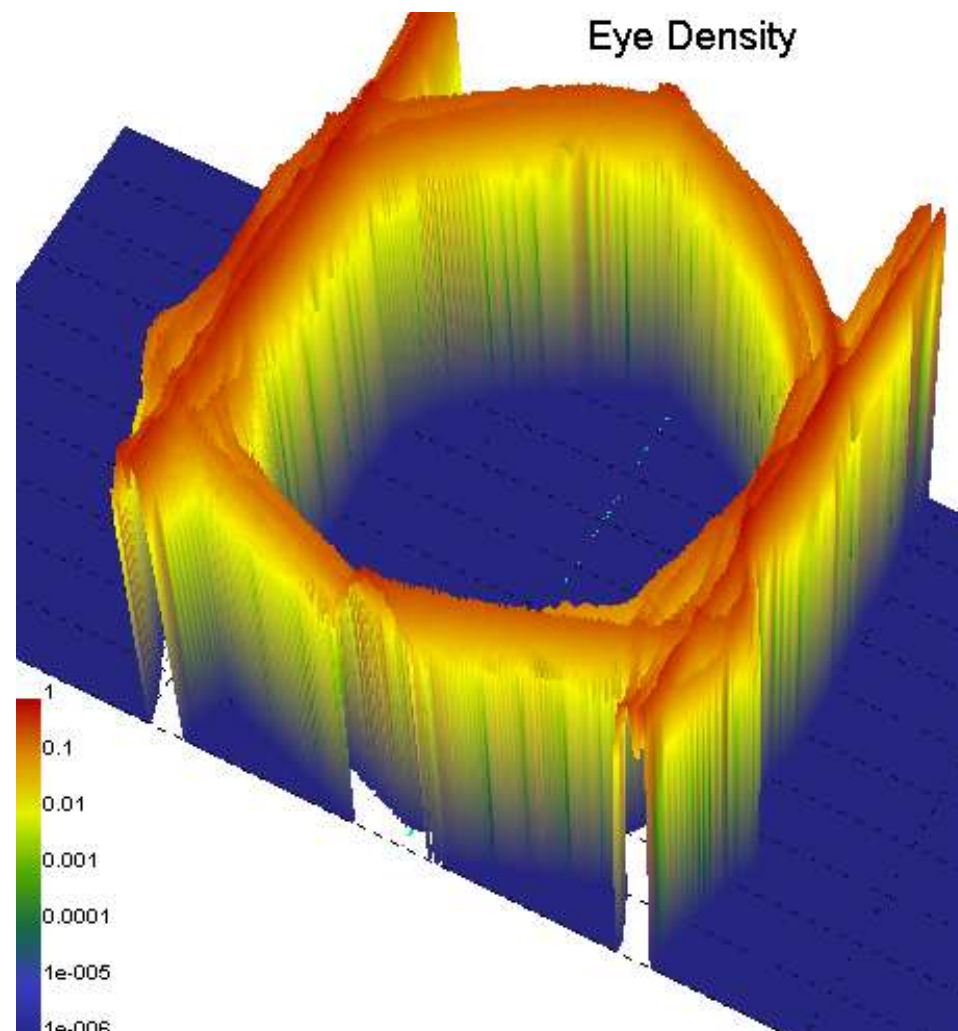




Bit Error Rate

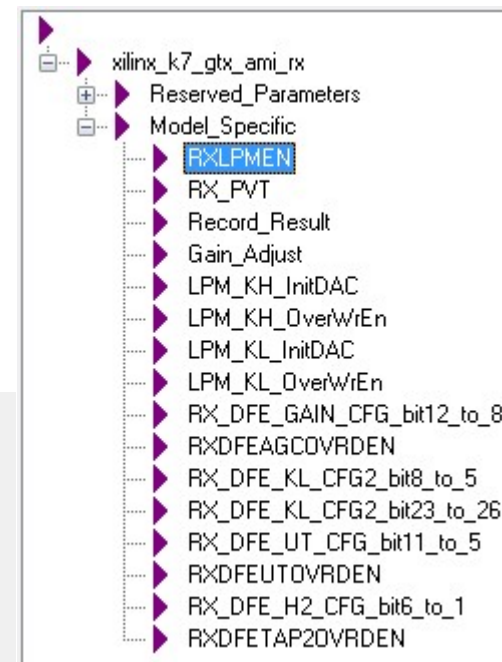
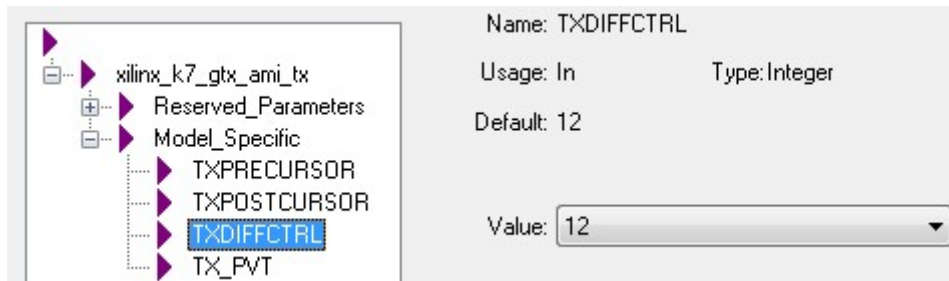


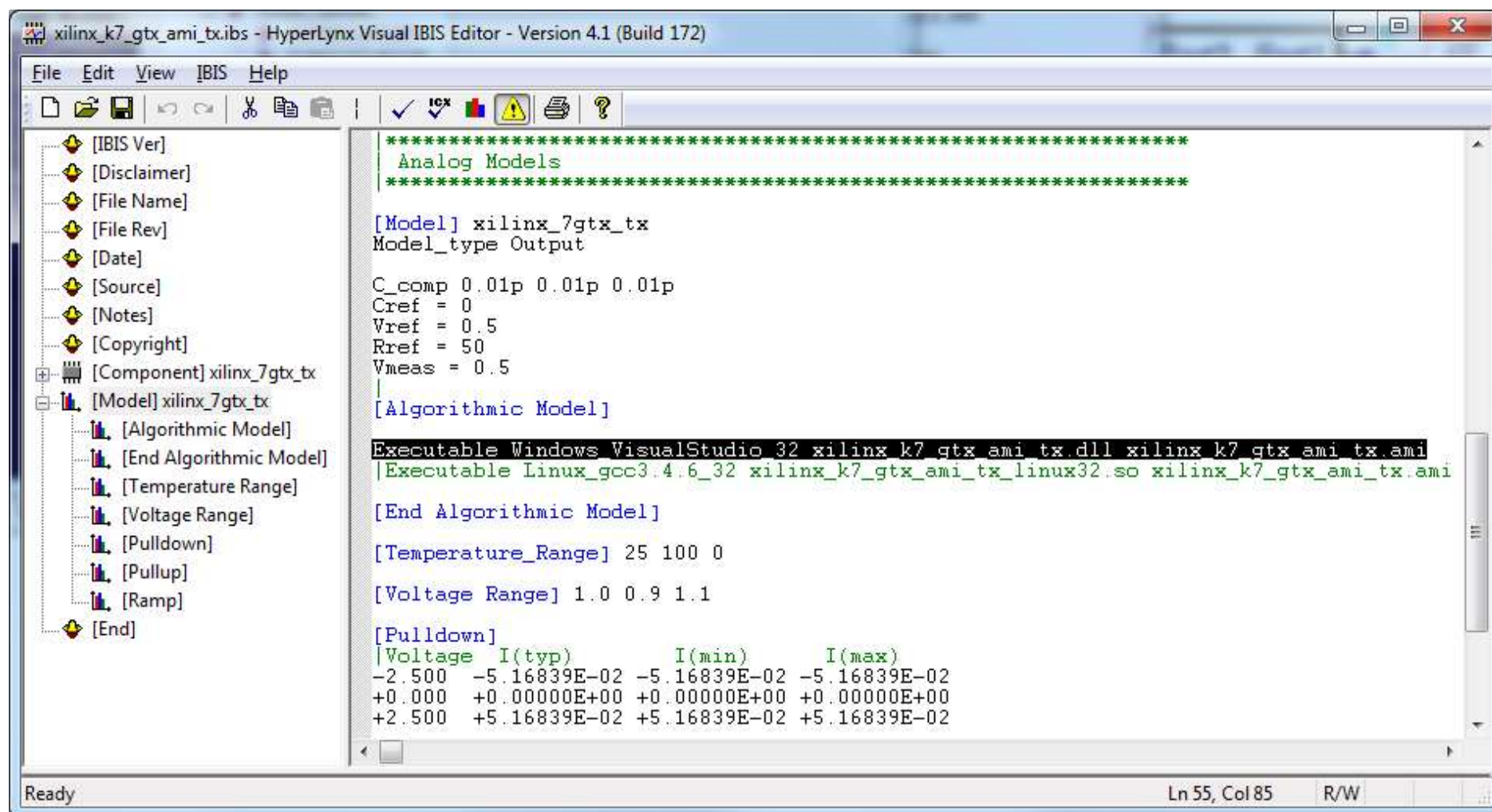
Eye Density



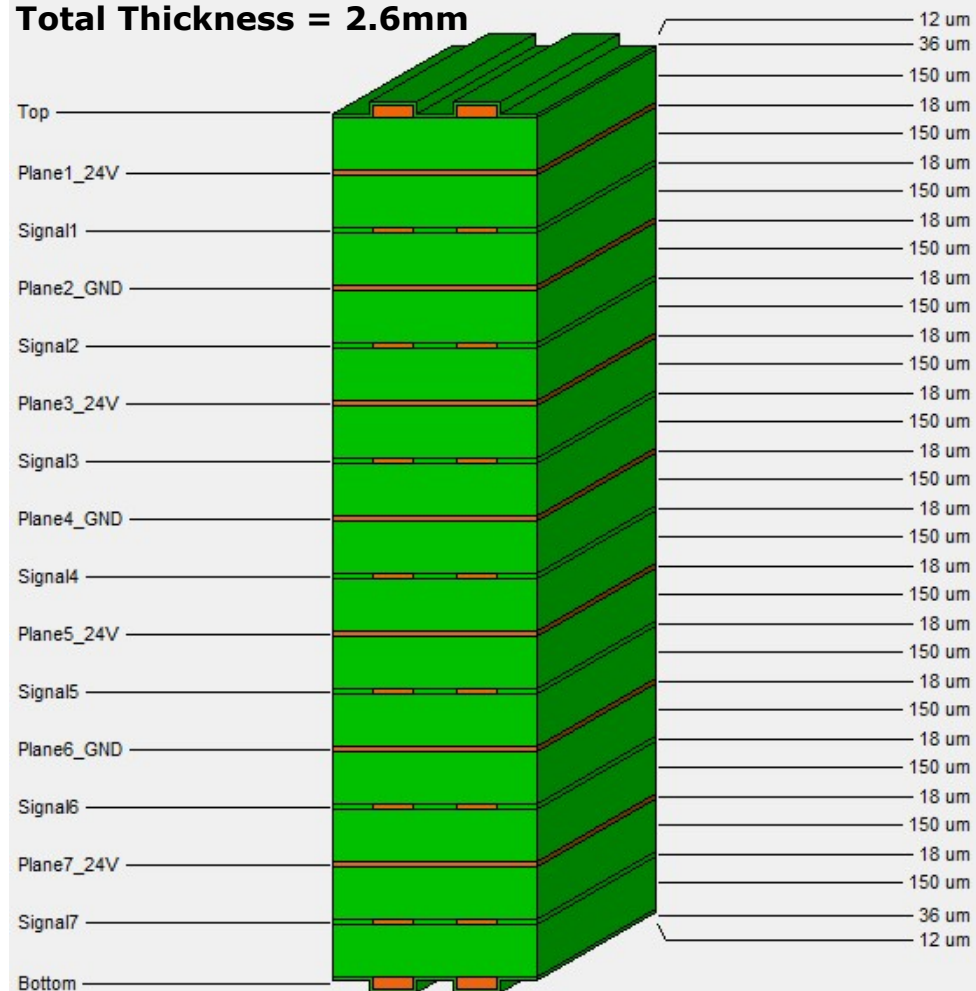
- złożoność funkcjonalna transceiverów MGT (amplituda, sprzężenie, pre-emfaza, equalizacja, ...)
- dwie domeny: elektryczna (*.ibs) i algorytmiczna
- *back-end* nadajnika + kanał + *front-end* odbiornika są liniowe i niezmiennie w czasie, pozostałe parametry mogą już być dynamiczne (np. equalizacja)
- domena algorytmiczna:
 - wykonywalny model (*.dll), przetwarzający przebiegi charakteryzujące kanał
 - plik definicji parametrów i ich zakresów (*.ami)

 xilinx_k7_gtx_ami_tx.ibs
 xilinx_k7_gtx_ami_tx.dll
 xilinx_k7_gtx_ami_tx.ami

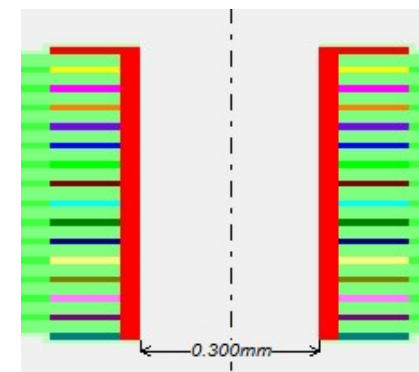




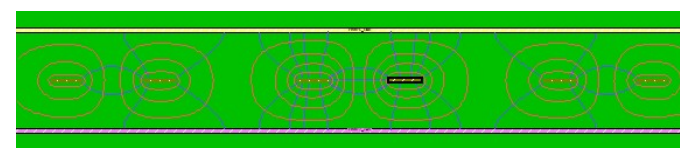
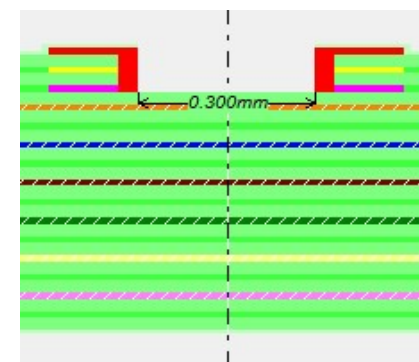
Total Thickness = 2.6mm



Through
Via



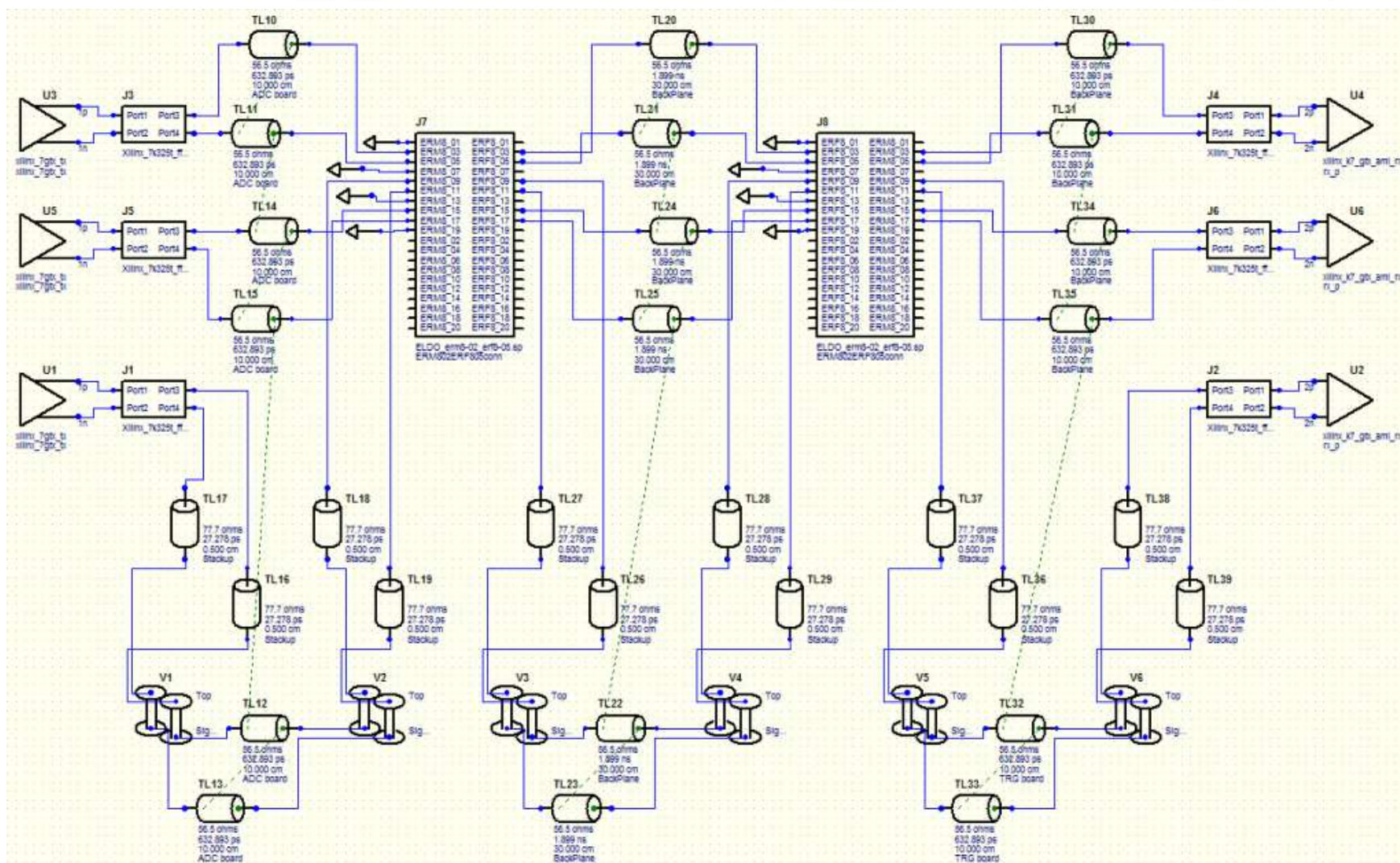
Blind
Via



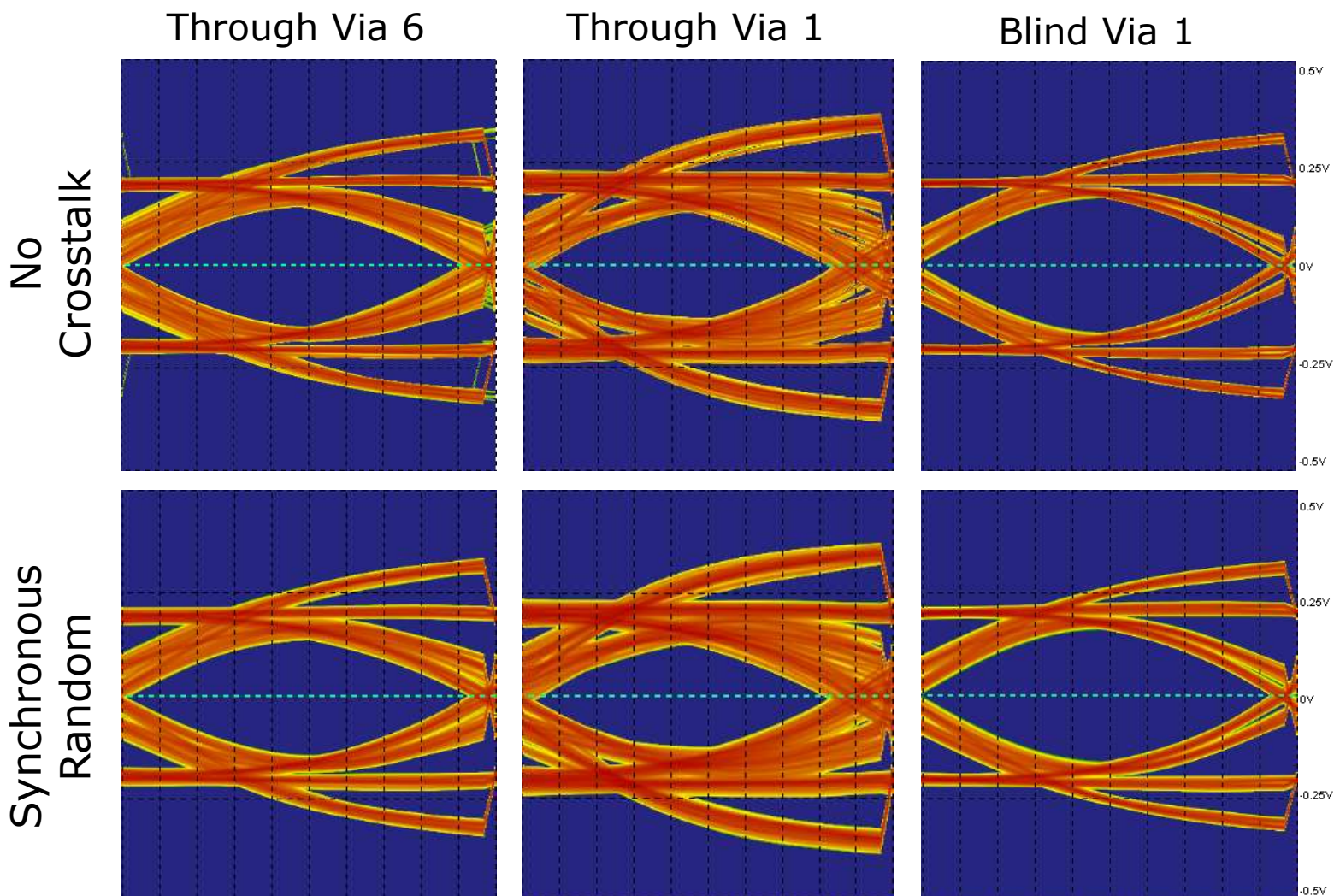
Separation=2s

IBIS-AMI

Case: 8Gbps link – crosstalk



PRBS-7, 200kbits



- S.H. Hall, H.L. Heck: **Advanced Signal Integrity for High-Speed Digital Designs**
- Mentor Graphics: **The Basics of IBIS Models**, A. Muranyi
- IBIS Open Forum: **IBIS specification v5.1**
- IBIS Open Forum: **IBIS Modelling Cookbook For IBIS Version 4.0**
- Mentor Graphics: **LineSim User Guide**
- Xilinx: **7 Series FPGAs PCB Design and Pin Planning Guide** (UG483)

**Elektronika cyfrowa robi się nam
jakaś taka... cyfrawa !**

